

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-100917

(43)Date of publication of application : 04.04.2003

(51)Int.Cl. H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792

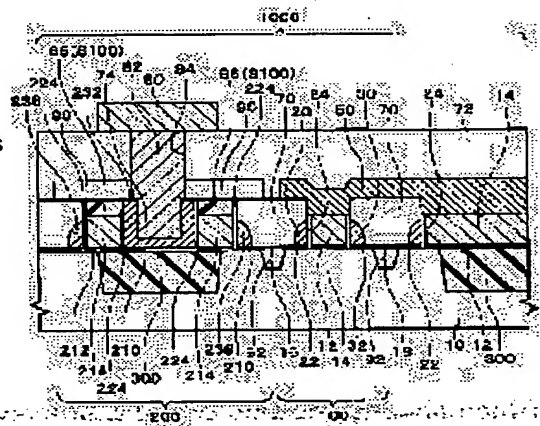
(21)Application number : 2001-292128 (71)Applicant : SEIKO EPSON CORP
(22)Date of filing : 25.09.2001 (72)Inventor : EBINA AKIHIKO
INOUE SUSUMU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device comprising an MONOS type nonvolatile memory, and to provide its manufacturing method.

SOLUTION: The semiconductor device comprises a memory cell 100. The memory cell 100 comprises a word gate 14 formed on a semiconductor substrate 10 through a second gate insulation layer 12, impurity layers 16 and 18, and first and second sidewall-like control gates 20 and 30. A set of first and second control gates abutting on each other through the impurity layers 16 and 18 are connected with a common contact part 200. The common contact part 200 comprises a contact conductive layer 232, a stopper layer 86, and a cap insulation layer 90. The contact conductive layer 232 is connected with the first and second control gates 20 and 30. The cap insulation layer 90 is formed at least on a stopper insulation layer 86.



LEGAL STATUS

[Date of request for examination] . 06.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3671890

[Date of registration] 28.04.2005

[Number of appeal against examiner's decision of rejection] _____,

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

 CLAIMS

[Claim(s)]

[Claim 1] It has the memory cell array by which the nonvolatile storage was arranged by two or more lines and trains in the shape of a grid. Said nonvolatile storage The WORD gate formed above the semi-conductor layer through the 2nd gate insulating layer, The impurity layer which constitutes the source field or drain field formed in said semi-conductor layer, The 1st and 2nd control gate of the shape of a sidewall formed along one side face of said WORD gate, and the side face of another side, respectively, An implication and said 1st control gate mind the 1st gate insulating layer to said semi-conductor layer. It is arranged through the 1st side insulating layer to said WORD gate. And said 2nd control gate It is arranged through the 1st side insulating layer through the 1st gate insulating layer to said WORD gate to

said semi-conductor layer. Said 1st and 2nd control gate 1 set of 1st and 2nd control gates which adjoin each other through said impurity layer to the 2nd direction which is arranged succeeding the 1st direction, respectively and intersects said 1st direction It connects with the common contact section. Said common contact section A contact conductive layer, a stopper insulating layer, and a cap insulating layer are included. Said contact conductive layer It is the semiconductor device with which said stopper insulating layer is continuously arranged with said 1st and 2nd control gate on the outside of said contact conductive layer, and said cap insulating layer is formed above said stopper insulating layer at least.

[Claim 2] It is the semiconductor device with which said contact conductive layer is arranged through the 2nd side insulating layer inside said cap insulating layer in claim 1.

[Claim 3] It is the semiconductor device which consists of the quality of the material as said 1st and 2nd control gate with said same contact conductive layer in claims 1 or 2.

[Claim 4] The semiconductor device with which the top face of said contact conductive layer and the top face of said stopper insulating layer constitute a flat surface mostly in claim 1 thru/or either of 3.

[Claim 5] It is the semiconductor device

which consists of an ingredient with which said cap insulating layer uses silicon oxide as a principal component by said stopper insulating layer consisting of an ingredient which uses silicon nitride as a principal component in claim 1 thru/or either of 4.

[Claim 6] It is the semiconductor device with which said contact conductive layer constitutes a crevice, the contact hole which penetrates said cap insulating layer and said layer insulation layer is formed on this crevice, and the plug conductive layer is embedded in said contact hole by carrying out the laminating of the layer insulation layer above said cap insulating layer further in claim 1 thru/or either of 5.

[Claim 7] It is the semiconductor device which said contact conductive layer is arranged through a contact insulating layer above said semi-conductor layer in claim 2 thru/or either of 6, and consists of the quality of the material as said 1st gate insulating layer with said same contact insulating layer.

[Claim 8] It is the semiconductor device which consists of the quality of the material as said 1st side insulating layer with said same 2nd side insulating layer in claim 3 thru/or either of 7.

[Claim 9] Said 1st side insulating layer located between said WORD gates and said control gates in claim 1 thru/or either of 8 is a semiconductor device with which the upper limit is located to said

semi-conductor layer more nearly up than said control gate.

[Claim 10] Said 1st and 2nd control gate which adjoins each other in claim 1 thru/or either of 9 is a semiconductor device currently embedded by the insulating layer.

[Claim 11] It is the semiconductor device which said common contact section adjoined the edge of said impurity layer in claim 1 thru/or either of 10, and was formed.

[Claim 12] It is the semiconductor device formed by turns in one near edge of this impurity layer, and the near edge of another side to said impurity layer by which two or more arrays of said common contact section were carried out in claim 11.

[Claim 13] It is the semiconductor device with which said 1st gate insulating layer and said 1st side insulating layer consist of a cascade screen of the 1st silicon oxide layer, a silicon nitride layer, and the 2nd silicon oxide layer in claim 1 thru/or either of 12.

[Claim 14] The manufacture approach of a semiconductor device which a nonvolatile storage is the manufacture approach of the semiconductor device which contains in two or more lines and trains the memory cell array arranged in the shape of a grid, and includes the following processes.

The process which forms the 1st insulating layer for the 2nd gate

insulating layer above a semi-conductor layer, Patterning of the process which forms a stopper layer above the process which forms the 1st conductive layer above said 1st insulating layer, and said 1st conductive layer, said 1st conductive layer, and said stopper layer is carried out. The process which forms a gate layer, the process which forms the 1st gate insulating layer above said semi-conductor layer at least, A mask is formed on said 2nd conductive layer corresponding to the formation field of the process which forms the 1st side insulating layer in the both-sides side of said gate layer, the process which forms the 2nd conductive layer in the formation field of said memory cell array, and the common contact section. The process which forms the sidewall-like 1st and 2nd control gate by carrying out anisotropic etching of said 2nd conductive layer, By grinding this 2nd insulating layer, and said 2nd conductive layer by the chemical mechanical grinding method so that said stopper layer may be exposed after forming the 2nd insulating layer in the formation field of said memory cell array The process which forms a contact conductive layer in the formation field of said common contact section, The process which forms in said semi-conductor layer the impurity layer which constitutes a source field or a drain field, By forming a mask on said 3rd insulating layer corresponding to the formation field of

the common contact section, and carrying out patterning of said 3rd insulating layer, after forming the 3rd insulating layer for a cap insulating layer in the formation field of said memory cell array After forming the 3rd conductive layer in the process which forms said cap insulating layer in the formation field of said common contact section, and the formation field of said memory cell array, patterning of said gate layer, said 3rd conductive layer, and said stopper layer is carried out. The process which forms a stopper insulating layer in the formation field of said common contact while forming the word line connected to said WORD gate and this WORD gate.

[Claim 15] The process which carries out patterning of said gate layer in claim 14 is the manufacture approach including the process which forms said stopper insulating layer above said 1st conductive layer of a semiconductor device.

[Claim 16] The manufacture approach including the process which forms further the contact hole which penetrates said cap insulating layer and said layer insulation layer on said contact conductive layer in claims 14 or 15 after forming a layer insulation layer in the formation field of said memory cell array, and the process which embeds a plug conductive layer in said contact hole of a semiconductor device.

[Claim 17] The manufacture approach of a semiconductor device which forms said

stopper layer in claim 14 thru/or either of 16 from the ingredient which uses silicon nitride as a principal component, and forms said 3rd insulating layer from the ingredient which uses silicon oxide as a principal component.

[Claim 18] It is the manufacture approach of a semiconductor device which said 1st gate insulating layer and said 1st side insulating layer are formed at the same membrane formation process in claim 15 thru/or either of 17, and consists of a cascade screen of the 1st silicon oxide layer, a silicon nitride layer, and the 2nd silicon oxide layer.

[Claim 19] It is the manufacture approach of a semiconductor device formed in claim 15 thru/or either of 18 at the membrane formation process as said control gate that said contact conductive layer is the same.

[Claim 20] In claim 15 thru/or either of 19, it sets to the formation field of said common contact section. The process which forms a contact insulating layer above said semi-conductor layer, and the process which forms the 2nd side insulating layer in the side face of said contact conductive layer are included. Furthermore, formation of said contact insulating layer It is the manufacture approach of a semiconductor device which is performed at the same process as the process which forms said 1st gate insulating layer, and is performed at the process as the process which forms said

1st side insulating layer that formation of said 2nd side insulating layer is the same. [Claim 21] The manufacture approach of a semiconductor device which forms said 1st side insulating layer in claim 15 thru/or either of 21 so that the upper limit may be located to said semi-conductor layer more nearly up than said control gate.

[Claim 22] Said 1 set which adjoins each other through said impurity layer in the process which grinds said 2nd insulating layer by the chemical mechanical grinding method in claim 15 thru/or either of 22 of control gates are the manufacture approaches of a semiconductor device formed so that it may be covered with a pad insulating layer.

[Claim 23] It is the manufacture approach of a semiconductor device which said common contact section adjoins the edge of said impurity layer in claim 15 thru/or either of 23, and is formed.

[Claim 24] It is the manufacture approach of a semiconductor device formed by turns in one near edge of this impurity layer, and the near edge of another side to said impurity layer by which two or more arrays of said common contact section were carried out in claim 15 thru/or either of 24.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device with which the nonvolatile storage which has two charge storage fields to the one WORD gate has been arranged in the shape of an array, and its manufacture approach.

[0002]

[A background technique and Object of the Invention] As one type of a non-volatile semiconductor memory, the gate insulating layer between a channel field and the control gate consists of a cascade screen of a silicon oxide layer and a silicon nitride layer, and there is a type called the MONOS (Metal Oxide Nitride Oxide Semiconductor) mold or SONOS

(Silicon Oxide Nitride Oxide Silicon) mold with which the trap of the charge is carried out to said silicon nitride layer.

[0003] The device shown in drawing 15 is known as a non-volatile semiconductor memory of a MONOS mold (reference: Y.Hayashi, et al, 2000 Symposium VLSI Technology Digest of Technical Papers p.122-p.123).

[0004] As for this MONOS type of memory cell 100, the WORD gate 14 is formed above the semi-conductor substrate 10 through the 2nd gate insulating layer 12. And in both the sides

of the WORD gate 14, sidewall-like the 1st control gate 20 and the 2nd control gate 30 are arranged, respectively. The 1st gate insulating layer 22 exists between the pars basilaris ossis occipitalis of the 1st control gate 20, and the semi-conductor substrate 10, and an insulating layer 24 exists between the side face of the 1st control gate 20, and the WORD gate 14. Similarly, the 1st gate insulating layer 32 exists between the pars basilaris ossis occipitalis of the 2nd control gate 30, and the semi-conductor substrate 10, and an insulating layer 34 exists between the side face of the 2nd control gate 30, and the WORD gate 14. And the impurity layers 16 and 18 which constitute a source field or a drain field are formed in the semi-conductor substrate 10 between the control gates 20 and the control gates 30 of an adjacent memory cell which

counter. ~~(Silicon Oxide Nitride Oxide Silicon) mold~~

[0005] Thus, one memory cell 100 has two MONOS mold memory devices on the side face of the WORD gate 14. Moreover, these two MONOS mold memory devices are controlled independently. Therefore, one memory cell 100 can memorize 2-bit information.

[0006] The purpose of this invention is to offer the semiconductor device containing the nonvolatile storage of the MONOS mold which has two charge storage fields, and its manufacture approach.

[0007]

[Means for Solving the Problem] (Semiconductor device) The semiconductor device concerning this invention It has the memory cell array by which the nonvolatile storage was arranged by two or more lines and trains in the shape of a grid. Said nonvolatile storage The WORD gate formed above the semi-conductor layer through the 2nd gate insulating layer, The impurity layer which constitutes the source, field or drain field formed in said semi-conductor layer, The 1st and 2nd control gate of the shape of a sidewall formed along one side face of said WORD gate, and the side face of another side, respectively, An implication and said 1st control gate mind the 1st gate insulating layer to said semi-conductor layer. It is arranged through the 1st side insulating layer to said WORD gate. And said 2nd control gate It is arranged through the 1st side insulating layer through the 1st gate insulating layer to said WORD gate to said semi-conductor layer. Said 1st and 2nd control gate 1 set of 1st and 2nd control gates which adjoin each other through said impurity layer to the 2nd direction which is arranged succeeding the 1st direction, respectively and intersects said 1st direction It connects with the common contact section. Said common contact section A contact conductive layer, a stopper insulating layer, and a cap insulating layer are included. Said contact conductive layer

Said stopper insulating layer is continuously arranged with said 1st and 2nd control gate on the outside of said contact conductive layer, and said cap insulating layer is formed above said stopper insulating layer at least.

[0008] According to the semiconductor device concerning this invention, since it connects with the common contact section for every set, the sidewall-like control gate can take certainly electrical installation with the small control gate of width of face.

[0009] The semiconductor device of this invention can take the following various modes.

[0010] (A) Said contact conductive layer can be arranged through the 2nd side insulating layer inside said cap insulating layer. In addition, said 2nd side insulating layer can be formed in this case from the same quality of the material as said 1st side insulating layer.

[0011] Moreover, said contact conductive layer can consist of the same quality of the material as said 1st and 2nd control gate in this case.

[0012] (B) The top face of said contact conductive layer and the top face of said stopper insulating layer can constitute a flat surface mostly.

[0013] (C) Said stopper insulating layer consists of an ingredient which uses silicon nitride as a principal component, and said cap insulating layer can consist of an ingredient which uses silicon oxide

as a principal component.

[0014] (D) The laminating of the layer insulation layer is further carried out above said cap insulating layer, a crevice is constituted, the contact hole which penetrates said cap insulating layer and said layer insulation layer is formed on this crevice, and said contact conductive layer can embed a plug conductive layer in said contact hole.

[0015] (E) Said contact conductive layer is arranged through a contact insulating layer above said semi-conductor layer, and said contact insulating layer can consist of the same quality of the material as said 1st gate insulating layer.

[0016] (F) The upper limit of said 1st side insulating layer located between said WORD gates and said control gates can be located to said semi-conductor layer more nearly up than said control gate. By this configuration, a wrap pad insulating

layer can be certainly formed for said control gates. That is, said adjacent 1st and 2nd control gate is covered with a pad insulating layer, and this pad insulating layer is formed between said two side insulating layers which has been arranged in contact with said 1st and 2nd control gate and which counters.

[0017] (G) Said adjacent 1st and 2nd control gate can be embedded by the insulating layer.

[0018] (H) Said common contact section can be adjoined and prepared in the edge of said impurity layer. And said common

contact section can be prepared by turns to said impurity layer by which two or more arrays were carried out in one near edge of this impurity layer, and the near edge of another side.

[0019] (I) Said 1st gate insulating layer and the 1st side insulating layer can consist of cascade screens of the 1st silicon oxide layer, a silicon nitride layer, and the 2nd silicon oxide layer.

[0020] (The manufacture approach of a semiconductor device) A nonvolatile storage is the manufacture approach of the semiconductor device which contains in two or more lines and trains the memory cell array arranged in the shape of a grid, and the manufacture approach concerning this invention includes the following processes.

[0021] The process which forms the 1st insulating layer for the 2nd gate insulating layer above a semi-conductor layer, Patterning of the process which forms a stopper layer above the process which forms the 1st conductive layer above said 1st insulating layer, and said 1st conductive layer, said 1st conductive layer, and said stopper layer is carried out. The process which forms a gate layer, the process which forms the 1st gate insulating layer above said semi-conductor layer at least, A mask is formed on said 2nd conductive layer corresponding to the formation field of the process which forms the 1st side insulating layer in the both-sides side of

said gate layer, the process which forms the 2nd conductive layer in the formation field of said memory cell array, and the common contact section. The process which forms the sidewall-like 1st and 2nd control gate by carrying out anisotropic etching of said 2nd conductive layer, By grinding this 2nd insulating layer and said 2nd conductive layer by the chemical mechanical grinding method so that said stopper layer may be exposed after forming the 2nd insulating layer in the formation field of said memory cell array. The process which forms a contact conductive layer in the formation field of said common contact section, The process which forms in said semi-conductor layer the impurity layer which constitutes a source field or a drain field, By forming a mask on said 3rd insulating layer corresponding to the formation field of the common contact section, and carrying out patterning of said 3rd insulating layer, after forming the 3rd insulating layer for a cap insulating layer in the formation field of said memory cell array. After forming the 3rd conductive layer in the process which forms said cap insulating layer in the formation field of said common contact section, and the formation field of said memory cell array, patterning of said gate layer, said 3rd conductive layer, and said stopper layer is carried out. The process which forms a stopper insulating layer in the formation field of said common contact while

forming the word line connected to said WORD gate and this WORD gate.

[0022] According to the manufacture approach of the semiconductor device concerning this invention, with the sidewall-like 1st and 2nd control gate, the common contact section can be formed and positive electrical installation can be taken through this common contact section.

[0023] The mode illustrated further below can be taken in the manufacture approach concerning this invention.

[0024] (a) The process which carries out patterning of said gate layer can include the process which forms said stopper insulating layer above said 1st conductive layer.

[0025] In this case, said contact conductive layer can be formed at the same membrane formation process as said control gate.

[0026] Moreover, the process which forms a contact insulating layer above said semi-conductor layer further in the formation field of said common contact section in this case, The process which forms the 2nd side insulating layer in the side face of said contact conductive layer is included. Formation of said contact insulating layer It is carried out at the same process as the process which forms said 1st gate insulating layer, and formation of said 2nd side insulating layer is performed at the same process as the process which forms said 1st side

insulating layer.

[0027] (b) Further, after forming a layer insulation layer in the formation field of said memory cell array, the process which forms the contact hole which penetrates said cap insulating layer and said layer insulation layer on said contact conductive layer, and the process which embeds a plug conductive layer in said contact hole can be included.

[0028] (c) Said stopper layer can be formed from the ingredient which uses silicon nitride as a principal component, and said 3rd insulating layer can be formed from the ingredient which uses silicon oxide as a principal component.

[0029] (d) Said 1st gate insulating layer and said 1st side insulating layer are formed at the same membrane formation process, and can consist of a cascade screen of the 1st silicon oxide layer, a silicon nitride layer, and the 2nd silicon oxide layer.

[0030] (e) The upper limit of said 1st side insulating layer can be formed so that it may be located to said semi-conductor layer more nearly up than said control gate.

[0031] (f) In the process which grinds said 2nd insulating layer by the chemical mechanical grinding method (henceforth the "CMP method"), said 1 set which adjoins each other through said impurity layer of control gates can be formed so that it may be covered with a pad insulating layer.

[0032] (g) Said common contact section can be adjoined and formed in the edge of said impurity layer. Moreover, said common contact section can be formed by turns to said impurity layer by which two or more arrays were carried out in one near edge of this impurity layer, and the near edge of another side.

[0033]

[Embodiment of the Invention] Drawing 1 is the top view showing typically the layout of the memory cell array which constitutes the semiconductor device concerning the gestalt of operation of this invention, drawing 2 is the top view showing typically some semiconductor devices concerning the gestalt of this operation, and drawing 3 is the sectional view showing typically the part which met the A-A line of drawing 2.

[0034] The semiconductor device concerning the gestalt of this operation

contains the memory cell array 1000 by which the MONOS mold nonvolatile storage (henceforth a "memory cell") 100 was arranged by two or more lines and trains in the shape of a grid. Moreover, this memory cell array 1000 is divided into two or more blocks.

[0035] (Structure of a device) The layout of the semiconductor device concerning the gestalt of this operation is explained first, referring to drawing 1.

[0036] In drawing 1, the 1st block B1 and 2nd block B-2 which adjoins this are shown. the part between the 1st block B1

and 2nd block B-2 -- the component isolation region 300 is formed in the field. In each block B1 and B-2, two or more word lines 50 (WL) prolonged in the direction of X (line writing direction) and two or more bit lines 60 (BL) prolonged in the direction (the direction of a train) of Y are formed. One word line 50 is connected to two or more WORD gates 14 arranged in the direction of X. The bit line 60 is constituted by the impurity layers 16 and 18.

[0037] The conductive layer 40 which constitutes the 1st and 2nd control gates 20 and 30 is formed so that each impurity layers 16 and 18 may be surrounded. That is, the 1st and 2nd control gates 20 and 30 have extended in the direction of Y, respectively, and one edge of 1 set of 1st and 2nd control gates 20 and 30 is mutually connected by the conductive layer prolonged in the direction of X.

Moreover, both the other end sections of 1 set of 1st and 2nd control gates 20 and 30 are connected to the one common contact section 200. therefore, every -- the 1st and 2nd control gates 20 and 30 have the function of the control gate of a memory cell, and a function as wiring which connects each control gate arranged in the direction of Y.

[0038] Moreover, this common contact section 200 is adjoined and formed in the edge of the impurity layers 16 and 18, as shown in drawing 1 R> 1. Furthermore, this common contact section 200 is

formed by turns to the impurity layers 16 and 18 in one near edge of the impurity layers 16 and 18, and the near edge of another side.

[0039] The single memory cell 100 is the outside of the one WORD gate 14, the 1st and 2nd control gates 20 and 30 formed in the both sides of this WORD gate 14, and these control gates 20 and 30, and contains the impurity layers 16 and 18 formed in the semi-conductor substrate. And the impurity layers 16 and 18 are shared by the memory cell 100 which adjoins each other, respectively.

[0040] It is the impurity diffused layer 16 which adjoins each other in the direction of Y mutually, and the impurity layer 16 formed in the block B1 and the impurity layer 16 of each other formed in block B-2 are electrically connected by the impurity layer 400 for contact formed in the semi-conductor substrate. This impurity layer 400 for contact is formed in the opposite side in the common contact section 200 of the control gate to an impurity 16.

[0041] Contact 350 is formed on this impurity layer 400 for contact. The bit line 60 constituted by the impurity layer 16 is electrically connected to the upper wiring layer by this contact 350.

[0042] Similarly, two impurity layers 18 of each other which adjoin each other in the direction of Y mutually are electrically connected by the impurity layer for contact which is not illustrated

to the side by which the common contact section 200 is not arranged.

[0043] In one block, the flat-surface layout of two or more common contact sections 200 serves as alternate arrangement so that drawing 1 may show. Similarly, in one block, the flat-surface layout of two or more impurity layers 400 for contact serves as alternate arrangement.

[0044] Next, the planar structure and cross-section structure of a semiconductor device are explained, referring to drawing 2 and drawing 3.

[0045] A memory cell 100 includes the WORD gate 14 formed above the semi-conductor substrate 10 through the 2nd gate insulating layer 12, the impurity layers 16 and 18 which constitute the source field or drain field formed in the semi-conductor substrate 10, and the sidewall-like 1st and the 2nd

control gate 20 and 30 which were formed along with the both sides of the WORD gate 14, respectively. Moreover, the silicide layer 92 is formed on the impurity layer 16 and 18.

[0046] The 1st control gate 20 is arranged through the 2nd gate insulating layer 12 above the semi-conductor substrate 10, and is arranged through the 1st side insulating layer 24 to one side face of the WORD gate 14. Similarly, the 2nd control gate 30 is arranged through the 2nd gate insulating layer 32 to the semi-conductor substrate 10, and is arranged through the

1st side insulating layer 34 to the side face of another side of the WORD gate 14.

[0047] And the 1st gate insulating layers 22 and 32 and the 1st side insulating layers 24 and 34 are ONO film. Specifically, it is the cascade screen of the 1st silicon oxide layer (bottom silicon oxide layer), a silicon nitride layer, and the 2nd silicon oxide layer (top silicon oxide layer).

[0048] The 1st silicon oxide layer of the 1st gate insulating layers 22 and 32 functions as a potential barrier (potential barrier) between a channel field and a charge storage field.

[0049] The silicon nitride layer of the 1st gate insulating layers 22 and 32 functions as a charge storage field which carries out the trap of the carrier (for example, electron).

[0050] The 2nd silicon oxide layer of the 1st gate insulating layers 22 and 32 forms a potential barrier (potential barrier) between the control gate and a charge storage field.

[0051] The 1st side insulating layers 24 and 34 make the WORD gate 14 and the 1st and 2nd control gates 20 and 30 separate electrically, respectively. Moreover, the upper limit of the 1st side insulating layers 24 and 34 is located up to the semi-conductor substrate 10 compared with the upper limit of the 1st and 2nd control gates 20 and 30, in order to prevent short-circuit with the WORD gate 14 and the 1st and 2nd control gates

20 and 30.

[0052] With the gestalt of this operation, it is formed at the membrane formation process that the 1st side insulating layers 24 and 34 and the 1st gate insulating layers 22 and 32 are the same, and each layer structure becomes equal. Furthermore, the 1st side insulating layers 24 and 34 are formed so that the upper limit may be located to the semi-conductor substrate 10 more nearly up than the 1st and 2nd control gates 20 and 30. And in the adjacent memory cell 100, the embedding insulating layer 70 is formed between adjacent 1st control gates 20 and 2nd control gates 30. In the gestalt of this operation, the 1st and 2nd control gates 20 and 30 are embedded by the embedding insulating layer 70. This embedding insulating layer 70 has covered these so that the 1st and 2nd control gates 20 and 30 may not be exposed at least. Specifically, the top face of the embedding insulating layer 70 is located from the upper limit of the 1st side insulating layers 24 and 34 up to the semi-conductor substrate 10. By forming the embedding insulating layer 70 in this way, electrical isolation of the 1st and 2nd control gates 20 and 30, and the WORD gate 14 and a word line 50 can be performed more certainly.

[0053] The conductive layer for supplying predetermined potential to the 1st and 2nd control gates 20 and 30 is formed in the common contact section 200. The

common contact section 200 mainly contains the contact conductive layer 232, the stopper insulating layer 86, and the cap insulating layer 90.

[0054] The contact conductive layer 232 is arranged through the 2nd side insulating layer 224 inside the stopper insulating layer 86 and the conductive layer 214. Of the same membrane formation process as formation of the 1st and 2nd control gates 20 and 30, the contact conductive layer 232 is formed so that the 1st and 2nd control gates 20 and 30 may be followed. Therefore, it is formed with the quality of the material with same contact conductive layer 232 and 1st and 2nd control gates 20 and 30.

[0055] Moreover, this contact conductive layer 232 is arranged through the contact insulating layer 210 above the semi-conductor substrate 10. Furthermore, a crevice 74 is constituted by this contact conductive layer 232, and the plug conductive layer 82 mentioned later is embedded in this crevice 74.

[0056] Moreover, the layer insulation layer 72 is formed on the cap insulating layer 90, the word line 50, and the embedding insulating layer 70 in which these are not formed. And on the crevice 74 formed of the contact conductive layer 232, the contact hole 84 which penetrates the cap insulating layer 90 and the layer insulation layer 72 is formed. That is, this contact hole 84 penetrated the cap insulating layer 90 and the layer

insulation layer 72, and has reached to the contact conductive layer 232. In this contact hole 84, the plug conductive layer 82 which consists of a tungsten plug or a copper plug is embedded.

[0057] The stopper insulating layer 86 is arranged on the outside of the contact conductive layer 232, as shown in drawing 3. Moreover, the stopper insulating layer 86 is formed on the conductive layer 214 mentioned later. The stopper insulating layer 86 consists of an ingredient which uses silicon nitride as a principal component. In the gestalt of this operation, the top face of the contact conductive layer 232 and the top face of the stopper insulating layer 86 can form so that a flat surface may be constituted mostly.

[0058] The cap insulating layer 90 is formed on the stopper insulating layer 86 at least. The cap insulating layer 90 consists of an ingredient which uses silicon oxide as a principal component.

[0059] Moreover, the common contact section 200 contains a conductive layer 214 and a conductive layer 236, 238 further.

[0060] A conductive layer 214 is formed at the same membrane formation process as the WORD gate 14. In this case, a conductive layer 214 is formed from the same quality of the material as the WORD gate 14. In the gestalt of this operation, the conductive layer 214 is arranged through the insulating layer

212 above the semi-conductor substrate 10.

[0061] The insulating layer 212 which constitutes the common contact section 200 is formed at the same process as the 2nd gate insulating layer 12 which constitutes a memory cell 100, and has the same layer structure. Moreover, it is formed at the same process as the contact insulating layer 210, the 1st gate insulating layers 22 and 32 from which the 2nd side insulating layer 224 constitutes a memory cell 100 by reaching, and the 1st side insulating layers 24 and 34 which constitute the common contact section 200, and has the same layer structure. That is, it reaches contact insulating layer 210, and the 2nd side insulating layer 224 consists of cascade screens of the 1st silicon oxide layer, a silicon nitride layer, and the 2nd silicon oxide layer like the 1st gate insulating layers 22 and 32 and the 1st side insulating layers 24 and 34.

[0062] Moreover, as shown in drawing 3, the common contact section 200 contains the sidewall-like conductive layer 236, 238 further. This conductive layer 236 is following the 1st control gate 20. Here, the 1st control gate 20 which follows a conductive layer 236 adjoins the 2nd control gate 30 which follows the contact conductive layer 232. Moreover, the conductive layer 238 is following the 2nd control gate 30. Here, the 2nd control gate 30 which follows a conductive layer

238 adjoins the 1st control gate 20 which follows the contact conductive layer 232.

[0063] A conductive layer 236,238 is arranged through the 2nd side insulating layer 224 on one side face of a conductive layer 214, respectively. This conductive layer 236,238 is formed from the same membrane formation process as the 1st and 2nd control gates 20 and 30 or the contact conductive layer 232, and consists of the same quality of the material as these layers.

[0064] In addition, in the semiconductor device of the gestalt of this operation, although the case where a conductive layer 236,238 was a sidewall-like was shown, the configuration of a conductive layer 236,238 is not necessarily limited to this.

[0065] According to the semiconductor device concerning the gestalt of this operation, in the memory cell array 1000, the sidewall-like 1st and 2nd control gates 20 and 30 are connected with the common contact section 200 for every set. This common contact section 200 can take electrical installation with these control gates certainly including the contact conductive layer 232, the stopper insulating layer 86 formed in the outside of this contact conductive layer, and the cap insulating layer 90 by forming the cap insulating layer 90 on the stopper insulating layer 86 at least. That is, the control gates 20 and 30 of the semiconductor device of the gestalt of this

operation have a sidewall-like configuration, and the width of face is usually smaller than 0.1 micrometers. Therefore, the electrical installation of the control gates 20 and 30 and the common contact section 200 is securable with the contact conductive layer 232. Consequently, electric contact to the control gate is securable in a necessary minimum area with the above-mentioned common contact section.

[0066] (The manufacture approach of a semiconductor device) Next, the manufacture approach of the semiconductor device concerning the gestalt of this operation is explained, referring to drawing 4 - Fig. 1414. Each sectional view corresponds to the part which met the A-A line of drawing 2. In drawing 4 - drawing 14, the same sign is substantially given to the same part with the part shown by drawing 1 R> 1 - drawing 3, and the overlapping publication is omitted.

[0067] (1) field (henceforth "formation field of memory cell array") 1000a in which the memory cell array 1000 shown in drawing 1 is first formed as shown in drawing 4 -- setting -- the front face of the semi-conductor substrate 10 -- LOCOS -- form the component isolation region 300 by law or the trench isolation method. Subsequently, the impurity layer 400 (refer to drawing 1) for contact is formed in the semi-conductor substrate 10 by the ion implantation.

[0068] Subsequently, the 1st gate insulating layer and the 1st becoming insulating layer 120 are formed in the front face of the semi-conductor substrate 10. Subsequently, the WORD gate 14, a conductive layer 214, and the 1st becoming conductive layer 140 are deposited on the 1st insulating layer 120. The 1st conductive layer 140 consists of a doped polysilicon. Subsequently, the stopper layer S100 in a next CMP process is formed on the 1st conductive layer 140. The stopper layer S100 consists for example, of a silicon nitride layer.

[0069] (2) Subsequently, carry out patterning of the 1st conductive layer 140 and the stopper layer S100 by well-known lithography and well-known etching. Of this process, the WORD gate and becoming gate layer 140a are formed in behind. In this patterning, the layered product of gate layer 140a and the

stopper layer S100 is extensively formed on the semi-conductor substrate 10 in formation field 1000a of a memory cell array. Drawing 6 showed the situation after patterning superficially. As for the layered product of gate layer 140a in a memory area 1000, and the stopper layer S100, opening 160,180 is formed by this patterning. Opening 160,180 supports mostly the field in which the impurity layers 16 and 18 are formed of a next ion implantation. And the 1st side insulating layers 24 and 34 and the 1st and 2nd control gates 20 and 30 are formed along

the side face of opening 160,180 at a next process.

[0070] (3) As shown in drawing 7, form the ONO film 220 extensively on the semi-conductor substrate 10. The ONO film 220 is formed by carrying out the sequential deposition of the 1st silicon oxide layer, a silicon nitride layer, and the 2nd silicon oxide layer. The 1st silicon oxide layer can be formed using for example, the oxidizing [thermally] method and a CVD method. A silicon nitride layer can be formed with a CVD method etc. The 2nd silicon oxide layer can be formed using voloxidation (HTO) on a CVD method and a concrete target. After forming these each class, it is desirable to perform annealing treatment and to carry out eburnation of each class.

[0071] The ONO film 220 serves as the 1st gate insulating layer 22, the 1st side insulating layer 24, the contact insulating layer 210 of the common contact section 200, and the 2nd side insulating layer 224 by next patterning (refer to drawing 3).

[0072] (4) As shown in drawing 8, form extensively the doped polysilicon layer (the 2nd conductive layer) 230 on the ONO film 220 in formation field 1000a of a memory cell array. From this doped polysilicon layer 230, the conductive layer 40 (refer to drawing 1) which constitutes the 1st and 2nd control gates 20 and 30 through patterning, an etching process, etc. and the contact conductive layer 232

which constitutes the common contact section 200, and a conductive layer 236,238 (refer to drawing 3) are formed.

[0073] Subsequently, the resist layer R100 is formed in field (henceforth "formation field of the common contact section") 200a in which the common contact section is formed. With the gestalt of this operation, this resist layer R100 is mostly formed in the location corresponding to formation field 200a of the common contact section, as shown in drawing 8. This resist layer R100 is formed on the field in which the contact conductive layer 232 formed at a next process is formed at least.

[0074] (5) As shown in drawing 9, the 1st and 2nd control gates 20 and 30, contact conductive layer 230a, and a conductive layer 236,238 are formed in the doped polysilicon layer 230 (refer to drawing 8) by carrying out anisotropic etching of the

resist layer R100 extensively as a mask.

Here, contact conductive layer 230a and a conductive layer 236,238 are formed in formation field 200a of the common contact section.

[0075] That is, the sidewall-like 1st and 2nd control gates 20 and 30 and a conductive layer 236,238 are formed along the side face of the exposed opening 160,180 (refer to drawing 6) of this etching process. And contact conductive layer 230a is formed in the part by which could come, simultaneously the mask was carried out in the resist layer R100. Here,

this contact conductive layer 230a is formed so that the 1st and 2nd control gates 20 and 30 may be followed. Furthermore, by the above-mentioned etching, the insulating layer deposited on the field in which a silicide layer is formed at a next process is removed, and the semi-conductor substrate 10 exposes it. Subsequently, the resist layer R100 is removed.

[0076] (6) Subsequently, as shown in drawing 10, form the impurity layers 16 and 18 which constitute a source field or a drain field in the semi-conductor substrate 10 by carrying out the ion implantation of the N type impurity.

[0077] Subsequently, the metal for silicide formation is made to deposit extensively. The metals for silicide formation are titanium and cobalt. Then, the silicide layer 92 is made to form in the top face of the impurity layers 16 and

18 by making the impurity layer 16 and

the metal formed on 18.

silicide-ization-react. Therefore, a memory cell 100 is silicide-ized by the silicide chemically-modified [this] degree in [the front face of a source field or a drain field] self align.

[0078] Subsequently, in formation field 1000a of a memory cell array, the insulating layers (the 2nd insulating layer) 70, such as silicon oxide or nitriding silicon oxide, are formed extensively. An insulating layer 70 is formed so that the stopper layer S100

may be covered and between the 1st and 2nd control gates 20 and 30 and the clearance between contact conductive layer 230a may be embedded.

[0079] (7) As shown in drawing 11, using the CMP method, grind until the stopper layer S100 exposes an insulating layer 70, and carry out flattening of the insulating layer 70. By this polish, an insulating layer 70 remains between the two 1st side insulating layers 24 which counter across the 1st and 2nd control gates 20 and 30, and it becomes the pad insulating layer 70. Moreover, of this process, the upper part of contact conductive layer 230a is removed, and the contact conductive layer 232 is formed in formation field 200a of the common contact section.

[0080] At this time, the upper limit of the 1st side insulating layers 24 and 34 formed in the side face of gate layer 140a and the stopper layer S100 is located up to the semiconductor substrate 10 compared with the upper limit of the 1st and 2nd control gates 20 and 30.

[0081] The 1st and 2nd control gates 20 and 30 are completely covered with this process by the embedding insulating layer 70. Moreover, in formation field 200a of the common contact section, it will be in the condition that the top face of the contact conductive layer 232 was exposed. Furthermore, the crevice 74 which consists of contact conductive layers 232 will be in the condition of

having been embedded by the embedding insulating layer 70.

[0082] (8) Subsequently, as shown in drawing 12, form 3rd insulating layer 90a for forming the cap insulating layer 90 in the whole surface in formation field 1000a of a memory cell array. Then, the resist layer R200 by which patterning was carried out is formed on 3rd insulating layer 90a. Patterning of the 3rd insulating layer 90a is carried out by using this resist layer R200 as a mask, and as shown in drawing 13, the cap insulating layer 90 is formed in formation field 200a of the common contact section. Subsequently, the resist layer R200 is removed.

[0083] Subsequently, the 3rd conductive layer (not shown) is formed in the whole surface in formation field 1000a of a memory cell array. After forming the 3rd conductive layer (not shown) in the whole

surface, the resist layer R300 by which patterning was carried out is formed on the 3rd conductive layer. Patterning of said 3rd conductive layer is carried out by using this resist layer R300 as a mask, and a word line 50 is formed. As said 3rd conductive layer, alloy layers, such as a doped polysilicon layer, a metal layer, and silicide, or the layer which carried out the laminating more than of two-layer [of these] can be used. Furthermore, the conductive layer 214 by which the stopper insulating layer 86 was formed in the upper part with formation in the

WORD gate 14 arranged in the shape of an array is formed by carrying out patterning of the gate layer 140a (referring to drawing 12) which consists of a doped polysilicon by using the resist layer R300 as a mask. Subsequently, the resist layer R300 is removed.

[0084] In addition, at this etching process, since the 1st and 2nd control gates 20 and 30 and a conductive layer 236, 238 are covered by the insulating layer 70, they remain, without being etched.

[0085] Subsequently, a P type impurity is extensively doped to the semi-conductor substrate 10. Thereby, the P type impurity layer (impurity layer for isolation) 15 (refer to drawing 2) is formed in the mutual field of the WORD gate 14 in the direction of Y. This impurity layer 15 for isolation consists of a conductivity type contrary to the conductivity type of a nonvolatile storage.

~~Isolation between memory cell 100 is~~ more certainly performed by this P type impurity layer 15.

[0086] (9) Subsequently, form the wiring layer electrically connected with this conductive layer after forming a contact hole by the well-known approach after carrying out the laminating of the layer insulation layer, and forming a conductive layer in a contact hole. For example, as shown in drawing 3, after forming the contact hole 84 which penetrates the cap insulating layer 90 and the layer insulation layer 72 on the

contact conductive layer 232 and embedding the plug conductive layer 82 in this contact hole 84, the wiring layer 80 connected with the plug conductive layer 82 is formed. In addition, in the process which forms a contact hole 84, after removing the insulating layer 70 currently embedded in the crevice 74 which consists of contact conductive layers 232, the plug conductive layer 82 is embedded in a crevice 74.

[0087] According to the above process, the semiconductor device shown in drawing 1, drawing 2, and drawing 3 can be manufactured.

[0088] According to the manufacture approach of the semiconductor device of the gestalt this operation, the common contact section 200 can be formed with the sidewall-like 1st and 2nd control gates 20 and 30, without making especially a routing counter, increase. And the common contact section 200 can have the size near the width of face of the impurity layers 16 and 18 at least, and can secure a contact area big enough. Therefore, with the gestalt of this operation, even if it is the control gates 20 and 30 of the shape of a sidewall which cannot take sufficient KONTOKUTO field easily, positive electrical installation can be taken through the common contact section 200.

[0089] moreover, according to the manufacture approach of the semiconductor device of the gestalt this

operation, it is alike on the contact conductive layer 232, and the plug conductive layer 82 is formed. Here, the alignment allowances at the time of forming this plug conductive layer 82 are securable by installing the stopper insulating layer 86 in the outside of the contact conductive layer 232.

[0090] As mentioned above, although the gestalt of 1 operation of this invention was described, this invention is not limited to this but can take modes various by within the limits of the summary of invention of this invention. For example, with the gestalt of the above-mentioned implementation, although the bulk-like semi-conductor substrate was used as a semi-conductor layer, the semi-conductor layer of a SOI substrate may be used.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing typically the layout of the semiconductor device concerning the gestalt of operation of this invention.

[Drawing 2] It is the top view showing typically the important section of the semiconductor device concerning the gestalt of operation of this invention.

[Drawing 3] It is the sectional view

showing typically the part which met the A-A line of drawing 2.

[Drawing 4] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 5] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 6] It is the top view showing one process of the manufacture approach of the semiconductor device shown in drawing 5.

[Drawing 7] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 8] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 9] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 10] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 11] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 12] It is the sectional view showing one process of the manufacture

approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 13] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 14] It is the sectional view showing one process of the manufacture approach of the semiconductor device shown in drawing 3 from drawing 1.

[Drawing 15] It is the sectional view showing a well-known MONOS mold memory cell.

[Description of Notations]

10 Semi-conductor Substrate

12 2nd Gate Insulating Layer

14 WORD Gate

15 Impurity Layer for Isolation

16 18 Impurity layer

20 1st Control Gate

22 32 The 1st gate insulating layer

24 34 The 1st side insulating layer

30 2nd Control Gate

40 Conductive Layer

50 Word Line

60 Bit Line

70 Embedding Insulating Layer (2nd Insulating Layer)

72 Layer Insulation Layer

74 Crevice

80 Wiring Layer

82 Plug Conductive Layer

84 Contact Hole

86 Stopper Insulating Layer

90 Cap Insulating Layer

90a The 3rd insulating layer

92 Silicide Layer

100 Nonvolatile Storage (Memory Cell)

120 2nd Gate Insulating Layer (1st Insulating Layer)

122 Gate Insulating Layer

140 1st Conductive Layer

140a Gate layer

160,180 Opening

200 Common Contact Section

200a The formation field of the common contact section

210 Contact Insulating Layer

212 Insulating Layer

214 Conductive Layer

220 ONO Film (Dielectric Layer)

224 2nd Side Insulating Layer

230 Doped Polysilicon Layer (2nd Conductive Layer)

230a Contact conductive layer

232 Contact Conductive Layer

236 Conductive Layer

238 Conductive Layer

300 Component Isolation Region

350 Contact

400 Impurity Layer for Contact

S100 Stopper layer

R100, R200, R300 Resist layer

1000 Memory Cell Array

1000a The formation field of a memory cell array

[Translation done.]

(11)特許出願公開番号

特開2003-100917

(P2003-100917A)

(43)公開日 平成15年4月4日(2003.4.4)

(51) Int.Cl.⁷

識別記号

FI

テーマコード(参考)

H O 1 L 21/8247

H O 1 L 29/78

3 7 1

5 F 0 8 3

27/115

27/10

434

5 F 101

29/788

29/792

審査請求 有 請求項の数24 O.L (全 18 頁)

(21)出願番号 特願2001-292128(P2001-292128)

(22) 出願日 平成13年9月25日(2001.9.25)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 蝦名 昭彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)發明者 井上 晉

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

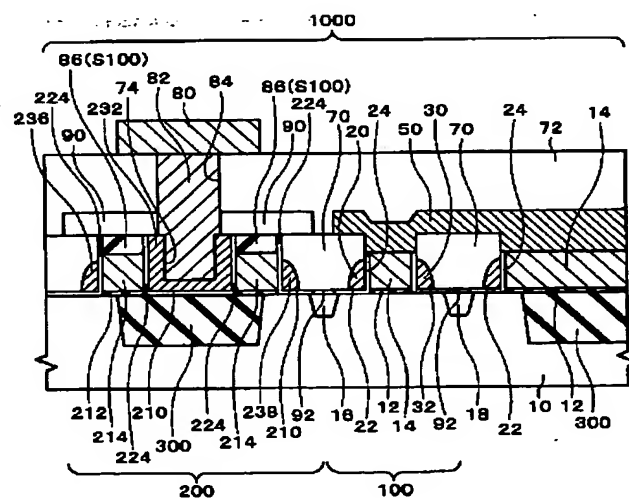
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】-

【課題】 MONOS型の不揮発性記憶装置を含む半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置は、メモリセル１００を含む。メモリセル１００は、半導体基板１０上に第２ゲート絶縁層１２を介して形成されたワードゲート１４と、不純物層１６、１８と、サイドウォール状の第１、第２コントロールゲート２０、３０とを有する。不純物層１６、１８を介して隣り合う１組の第１、第２コントロールゲートは、共通コンタクト部２００に接続される。共通コンタクト部２００は、コンタクト導電層２３２、ストッパ絶縁層８６、およびキャップ絶縁層９０を含む。コンタクト導電層２３２は、第１および第２コントロールゲート２０、３０と連続する。キャップ絶縁層９０は、少なくともストッパ絶縁層８６上に形成されている。



(2)

【特許請求の範囲】

【請求項 1】 不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、

前記不揮発性記憶装置は、

半導体層の上方に、第 2 ゲート絶縁層を介して形成されたワードゲートと、

前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、

前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第 1 および第 2 コントロールゲートと、を含み、

前記第 1 コントロールゲートは、前記半導体層に対して第 1 ゲート絶縁層を介して、かつ、前記ワードゲートに対して第 1 サイド絶縁層を介して配置され、

前記第 2 コントロールゲートは、前記半導体層に対して第 1 ゲート絶縁層を介して、かつ、前記ワードゲートに対して第 1 サイド絶縁層を介して配置され、

前記第 1 および第 2 コントロールゲートは、それぞれ第 1 方向に連続して配置され、かつ、

前記第 1 方向と交差する第 2 方向に対して、前記不純物層を介して隣り合う 1 組の第 1 および第 2 コントロールゲートは、共通コンタクト部に接続され、

前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、

前記コンタクト導電層は、前記第 1 および第 2 コントロールゲートと連続し、

前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、

前記キャップ絶縁層は、少なくとも前記ストップ絶縁層の上方に形成されている、半導体装置。

【請求項 2】 請求項 1 において、

前記コンタクト導電層は、前記キャップ絶縁層の内側に、第 2 サイド絶縁層を介して配置されている、半導体装置。

【請求項 3】 請求項 1 または 2 において、

前記コンタクト導電層は、前記第 1 および第 2 コントロールゲートと同一の材質からなる、半導体装置。

【請求項 4】 請求項 1 ないし 3 のいずれかにおいて、

前記コンタクト導電層の上面と、前記ストップ絶縁層の上面とがほぼ平面を構成する、半導体装置。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、

前記ストップ絶縁層は、窒化シリコンを主成分とする材料からなり、

前記キャップ絶縁層は、酸化シリコンを主成分とする材料からなる、半導体装置。

【請求項 6】 請求項 1 ないし 5 のいずれかにおいて、

前記キャップ絶縁層の上方にはさらに、層間絶縁層が積層され、

前記コンタクト導電層は凹部を構成し、該凹部上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコン

タクトホールが形成され、

前記コンタクトホールには、プラグ導電層が埋め込まれている、半導体装置。

【請求項 7】 請求項 2 ないし 6 のいずれかにおいて、前記コンタクト導電層は、前記半導体層の上方に、コンタクト絶縁層を介して配置され、

前記コンタクト絶縁層は、前記第 1 ゲート絶縁層と同一の材質からなる、半導体装置。

【請求項 8】 請求項 3 ないし 7 のいずれかにおいて、前記第 2 サイド絶縁層は、前記第 1 サイド絶縁層と同一の材質からなる、半導体装置。

【請求項 9】 請求項 1 ないし 8 のいずれかにおいて、前記ワードゲートと前記コントロールゲートとの間に位置する前記第 1 サイド絶縁層は、その上端が前記半導体層に対して前記コントロールゲートより上方に位置する、半導体装置。

【請求項 10】 請求項 1 ないし 9 のいずれかにおいて、

隣り合う前記第 1 および第 2 コントロールゲートは、絶縁層によって埋め込まれている、半導体装置。

【請求項 11】 請求項 1 ないし 10 のいずれかにおいて、

前記共通コンタクト部は、前記不純物層の端部に隣接して設けられた、半導体装置。

【請求項 12】 請求項 11 において、

前記共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けられた、半導体装置。

【請求項 13】 請求項 1 ないし 12 のいずれかにおいて、

前記第 1 ゲート絶縁層および前記第 1 サイド絶縁層は、第 1 酸化シリコン層、窒化シリコン層、および第 2 酸化シリコン層の積層膜からなる、半導体装置。

【請求項 14】 不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを含む半導体装置の製造方法であって、以下の工程を含む、半導体装置の製造方法。

半導体層の上方に、第 2 ゲート絶縁層のための第 1 絶縁層を形成する工程、

前記第 1 絶縁層の上方に、第 1 導電層を形成する工程、

前記第 1 導電層の上方に、ストップ層を形成する工程、

前記第 1 導電層および前記ストップ層をパターンニングして、ゲート層を形成する工程、

少なくとも前記半導体層の上方に、第 1 ゲート絶縁層を形成する工程、

前記ゲート層の両側面に第 1 サイド絶縁層を形成する工程、

前記メモリセルアレイの形成領域に第 2 導電層を形成する工程、

共通コンタクト部の形成領域に対応する前記第 2 導電層

(3)

3

上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、

前記メモリセルアレイの形成領域に第2絶縁層を形成した後、前記ストッパ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、

ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、

前記メモリセルアレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパターンニングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および前記メモリセルアレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストッパ層をパターンニングして、前記ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストッパ絶縁層を形成する工程。

【請求項15】 請求項14において、前記ゲート層をパターンニングする工程は、前記ストッパ絶縁層を前記第1導電層の上方に形成する工程を含む、半導体装置の製造方法。

【請求項16】 請求項14または15において、さらに、前記メモリセルアレイの形成領域に層間絶縁層を形成した後、前記コンタクト導電層上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールを形成する工程、および前記コンタクトホールにプラグ導電層を埋め込む工程を含む、半導体装置の製造方法。

【請求項17】 請求項14ないし16のいずれかにおいて、窒化シリコンを主成分とする材料から前記ストッパ層を形成し、酸化シリコンを主成分とする材料から前記第3絶縁層を形成する、半導体装置の製造方法。

【請求項18】 請求項15ないし17のいずれかにおいて、前記第1ゲート絶縁層および前記第1サイド絶縁層は、同一の成膜工程で形成され、かつ、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜からなる、半導体装置の製造方法。

【請求項19】 請求項15ないし18のいずれかにおいて、前記コンタクト導電層は前記コントロールゲートと同一の成膜工程で形成される、半導体装置の製造方法。

【請求項20】 請求項15ないし19のいずれかにおいて、

4

前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方にコンタクト絶縁層を形成する工程と、前記コンタクト導電層の側面に第2サイド絶縁層を形成する工程とを含み、

前記コンタクト絶縁層の形成は、前記第1ゲート絶縁層を形成する工程と同一工程にて行なわれ、

前記第2サイド絶縁層の形成は、前記第1サイド絶縁層を形成する工程と同一工程にて行なわれる、半導体装置の製造方法。

10 【請求項21】 請求項15ないし21のいずれかにおいて、

前記第1サイド絶縁層を、その上端が前記半導体層に対して前記コントロールゲートより上方に位置するように形成する、半導体装置の製造方法。

【請求項22】 請求項15ないし22のいずれかにおいて、

前記第2絶縁層を化学的機械的研磨法によって研磨する工程において、前記不純物層を介して隣り合う1組の前記コントロールゲートは埋込み絶縁層によって覆われるように形成される、半導体装置の製造方法。

20 【請求項23】 請求項15ないし23のいずれかにおいて、

前記共通コンタクト部は、前記不純物層の端部に隣接して形成される、半導体装置の製造方法。

【請求項24】 請求項15ないし24のいずれかにおいて、

前記共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成される、半導体装置の製造方法。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1つのワードゲートに対して2つの電荷蓄積領域を有する不揮発性記憶装置がアレイ状に配置された半導体装置およびその製造方法に関する。

【0002】

【背景技術および発明が解決しようとする課題】不揮発性半導体記憶装置のひとつのタイプとして、チャネル領域とコントロールゲートとの間のゲート絶縁層が酸化シリコン層と窒化シリコン層との積層膜からなり、前記窒化シリコン層に電荷がトラップされるMONOS (Metal Oxide Nitride Oxide Semiconductor) 型もしくはSONOS (Silicon Oxide Nitride Oxide Silicon) 型と呼ばれるタイプがある。

【0003】MONOS型の不揮発性半導体記憶装置とし

て、図15に示すデバイスが知られている (文献: Y. Hayashi, et al., 2000 Symposium on VLSI Technology Digest of Technical Papers p. 122 - p. 123)。

50

(4)

5

【0004】このMONOS型のメモリセル100は、半導体基板10の上方に第2ゲート絶縁層12を介してワードゲート14が形成されている。そして、ワードゲート14の両サイドには、それぞれサイドウォール状の第1コントロールゲート20と第2コントロールゲート30とが配置されている。第1コントロールゲート20の底部と半導体基板10との間には、第1ゲート絶縁層22が存在し、第1コントロールゲート20の側面とワードゲート14との間には絶縁層24が存在する。同様に、第2コントロールゲート30の底部と半導体基板10との間には、第1ゲート絶縁層32が存在し、第2コントロールゲート30の側面とワードゲート14との間には絶縁層34が存在する。そして、隣り合うメモリセルの、対向するコントロールゲート20とコントロールゲート30との間の半導体基板10には、ソース領域またはドレイン領域を構成する不純物層16、18が形成されている。

【0005】このように、ひとつのメモリセル100は、ワードゲート14の側面に2つのMONOS型メモリ素子を有する。また、これらの2つのMONOS型メモリ素子は独立に制御される。したがって、ひとつのメモリセル100は、2ビットの情報を記憶することができる。

【0006】本発明の目的は、2つの電荷蓄積領域を有するMONOS型の不揮発性記憶装置を含む半導体装置およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】(半導体装置) 本発明にかかる半導体装置は、不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、前記不揮発性記憶装置は、半導体層の上方に、第2ゲート絶縁層を介して形成されたワードゲートと、前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、前記第1コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第2コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う1組の第1および第2コントロールゲートは、共通コンタクト部に接続され、前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、前記コンタクト導電層は、前記第1および第2コントロールゲートと連続し、前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、前記キャップ絶縁層は、少なくと

6

も前記ストップ絶縁層の上方に形成されている。

【0008】本発明にかかる半導体装置によれば、サイドウォール状のコントロールゲートは、1組ごとに、共通コンタクト部に接続されているので、幅の小さいコントロールゲートとの電氣的接続を確実にとることができる。

【0009】本発明の半導体装置は、以下の各種態様をとりうる。

【0010】(A) 前記コンタクト導電層は、前記キャップ絶縁層の内側に、第2サイド絶縁層を介して配置されることができる。なお、この場合、前記第2サイド絶縁層を、前記第1サイド絶縁層と同一の材質から形成することができる。

【0011】また、この場合、前記コンタクト導電層は、前記第1および第2コントロールゲートと同一の材質からなることができる。

【0012】(B) 前記コンタクト導電層の上面と、前記ストップ絶縁層の上面とがほぼ平面を構成することができる。

【0013】(C) 前記ストップ絶縁層は、窒化シリコンを主成分とする材料からなり、前記キャップ絶縁層は、酸化シリコンを主成分とする材料からなることができる。

【0014】(D) 前記キャップ絶縁層の上方にはさらに、層間絶縁層が積層され、前記コンタクト導電層は凹部を構成し、該凹部上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールが形成され、前記コンタクトホールに、プラグ導電層を埋め込むことができる。

【0015】(E) 前記コンタクト導電層は、前記半導体層の上方に、コンタクト絶縁層を介して配置され、前記コンタクト絶縁層は、前記第1ゲート絶縁層と同一の材質からなることができる。

【0016】(F) 前記ワードゲートと前記コントロールゲートとの間に位置する前記第1サイド絶縁層の上端を、前記半導体層に対して前記コントロールゲートより上方に位置させることができる。この構成により、前記コントロールゲートを覆う埋込み絶縁層を確実に形成できる。すなわち、隣り合う前記第1および第2コントロールゲートは、埋込み絶縁層によって覆われ、該埋込み絶縁層は、前記第1および第2コントロールゲートに接して配置された、対向する2つの前記サイド絶縁層の相互間に形成される。

【0017】(G) 隣り合う前記第1および第2コントロールゲートを、絶縁層によって埋め込むことができる。

【0018】(H) 前記共通コンタクト部は、前記不純物層の端部に隣接して設けることができる。そして、前記共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部

(5)

7

とにおいて交互に設けることができる。

【0019】(I)前記第1ゲート絶縁層および第1サイド絶縁層は、第1酸化シリコン層、窒化シリコン層、および第2酸化シリコン層の積層膜から構成できる。

【0020】(半導体装置の製造方法)本発明にかかる製造方法は、不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを含む半導体装置の製造方法であって、以下の工程を含む。

【0021】半導体層の上方に、第2ゲート絶縁層のための第1絶縁層を形成する工程、前記第1絶縁層の上方に、第1導電層を形成する工程、前記第1導電層の上方に、ストッパ層を形成する工程、前記第1導電層および前記ストッパ層をパターンニングして、ゲート層を形成する工程、少なくとも前記半導体層の上方に、第1ゲート絶縁層を形成する工程、前記ゲート層の両側面に第1サイド絶縁層を形成する工程、前記メモリセルアレイの形成領域に第2導電層を形成する工程、共通コンタクト部の形成領域に対応する前記第2導電層上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、前記メモリセルアレイの形成領域に第2絶縁層を形成した後、前記ストッパ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、前記メモリセルアレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパターンニングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および前記メモリセルアレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストッパ層をパターンニングして、前記ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストッパ絶縁層を形成する工程。

【0022】本発明にかかる半導体装置の製造方法によれば、サイドウォール状の第1および第2コントロールゲートとともに、共通コンタクト部を形成でき、この共通コンタクト部を介して確実な電氣的接続をとることができる。

【0023】本発明にかかる製造方法においては、さらに以下に例示する態様をとることができる。

【0024】(a)前記ゲート層をパターンニングする工程は、前記ストッパ絶縁層を前記第1導電層の上方に形成する工程を含むことができる。

【0025】この場合、前記コンタクト導電層は前記コントロールゲートと同一の成膜工程で形成されることが

8

できる。

【0026】また、この場合、前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方にコンタクト絶縁層を形成する工程と、前記コンタクト導電層の側面に第2サイド絶縁層を形成する工程とを含み、前記コンタクト絶縁層の形成は、前記第1ゲート絶縁層を形成する工程と同一工程にて行なわれ、前記第2サイド絶縁層の形成は、前記第1サイド絶縁層を形成する工程と同一工程にて行なわれる。

【0027】(b)さらに、前記メモリセルアレイの形成領域に層間絶縁層を形成した後、前記コンタクト導電層上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールを形成する工程、および前記コンタクトホールにプラグ導電層を埋め込む工程を含むことができる。

【0028】(c)窒化シリコンを主成分とする材料から前記ストッパ層を形成し、酸化シリコンを主成分とする材料から前記第3絶縁層を形成することができる。

【0029】(d)前記第1ゲート絶縁層および前記第1サイド絶縁層は、同一の成膜工程で形成され、かつ、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜からなることができる。

【0030】(e)前記第1サイド絶縁層の上端を、前記半導体層に対して前記コントロールゲートより上方に位置するように形成することができる。

【0031】(f)前記第2絶縁層を化学的機械的研磨法(以下、「CMP法」という)によって研磨する工程において、前記不純物層を介して隣り合う1組の前記コントロールゲートを、埋込み絶縁層によって覆われるように形成することができる。

【0032】(g)前記共通コンタクト部を、前記不純物層の端部に隣接して形成することができる。また、前記共通コンタクト部を、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成することができる。

【0033】

【発明の実施の形態】図1は、本発明の実施の形態に係る半導体装置を構成するメモリセルアレイのレイアウトを模式的に示す平面図であり、図2は、本実施の形態に係る半導体装置の一部分を模式的に示す平面図であり、図3は、図2のA-A線に沿った部分を模式的に示す断面図である。

【0034】本実施の形態に係る半導体装置は、MONOS型不揮発性記憶装置(以下、「メモリセル」という)100が複数の行および列に格子状に配列されたメモリセルアレイ1000を含む。また、このメモリセルアレイ1000は、複数のブロックに分割されている。

【0035】(デバイス構造)まず、図1を参照しながら、本実施の形態に係る半導体装置のレイアウトについて説明する。

(6)

9

【0036】図1においては、第1のブロックB1と、これに隣接する第2のブロックB2とが示されている。第1のブロックB1と第2のブロックB2との間の一部領域には、素子分離領域300が形成されている。各ブロックB1、B2においては、X方向（行方向）に延びる複数のワード線50（WL）と、Y方向（列方向）に延びる複数のビット線60（BL）とが設けられている。一本のワード線50は、X方向に配列された複数のワードゲート14に接続されている。ビット線60は不純物層16、18によって構成されている。

【0037】第1および第2コントロールゲート20、30を構成する導電層40は、各不純物層16、18を囲むように形成されている。すなわち、第1および第2コントロールゲート20、30は、それぞれY方向に延びており、1組の第1、第2コントロールゲート20、30の一方の端部は、X方向に延びる導電層によって互いに接続されている。また、1組の第1、第2コントロールゲート20、30の他方の端部はともに、1つの共通コンタクト部200に接続されている。したがって、各第1、第2コントロールゲート20、30は、メモリセルのコントロールゲートの機能と、Y方向に配列された各コントロールゲートを接続する配線としての機能とを有する。

【0038】また、この共通コンタクト部200は、図1に示すように、不純物層16、18の端部に隣接して設けられている。さらに、この共通コンタクト部200は、不純物層16、18に対して、不純物層16、18の一方の側の端部と他方の側の端部とにおいて交互に設けられている。

【0039】単一のメモリセル100は、1つのワードゲート14と、このワードゲート14の両側に形成された第1、第2コントロールゲート20、30と、これらのコントロールゲート20、30の外側であって、半導体基板内に形成された不純物層16、18とを含む。そして、不純物層16、18は、それぞれ隣り合うメモリセル100によって共有される。

【0040】Y方向に互いに隣り合う不純物拡散層16であって、ブロックB1に形成された不純物層16とブロックB2に形成された不純物層16とは、半導体基板内に形成されたコンタクト用不純物層400によって互いに電氣的に接続されている。このコンタクト用不純物層400は、不純物16に対し、コントロールゲートの共通コンタクト部200とは反対側に形成される。

【0041】このコンタクト用不純物層400上には、コンタクト350が形成されている。不純物層16によって構成されたビット線60は、このコンタクト350によって、上層の配線層に電氣的に接続される。

【0042】同様に、Y方向に互いに隣り合う2つの不純物層18は、共通コンタクト部200が配置されていない側において、図示しないコンタクト用不純物層によ

10

って互いに電氣的に接続されている。

【0043】図1からわかるように、1つのブロックにおいて、複数の共通コンタクト部200の平面レイアウトは千鳥配置となる。同様に、1つのブロックにおいて、複数のコンタクト用不純物層400の平面レイアウトは千鳥配置となる。

【0044】次に、図2および図3を参照しながら、半導体装置の平面構造および断面構造について説明する。

【0045】メモリセル100は、半導体基板10の上方に第2ゲート絶縁層12を介して形成されたワードゲート14と、半導体基板10内に形成された、ソース領域またはドレイン領域を構成する不純物層16、18と、ワードゲート14の両側に沿ってそれぞれ形成された、サイドウォール状の第1および第2のコントロールゲート20、30とを含む。また、不純物層16、18上には、シリサイド層92が形成されている。

【0046】第1コントロールゲート20は、半導体基板10の上方に第2ゲート絶縁層12を介して配置され、かつ、ワードゲート14の一方の側面に対して第1サイド絶縁層24を介して配置されている。同様に、第2コントロールゲート30は、半導体基板10に対して第2ゲート絶縁層32を介して配置され、かつ、ワードゲート14の他方の側面に対して第1サイド絶縁層34を介して配置されている。

【0047】そして、第1ゲート絶縁層22、32および第1サイド絶縁層24、34は、ONO膜である。具体的には、第1酸化シリコン層（ボトム酸化シリコン層）、窒化シリコン層、第2酸化シリコン層（トップ酸化シリコン層）の積層膜である。

【0048】第1ゲート絶縁層22、32の第1酸化シリコン層は、チャネル領域と電荷蓄積領域との間に電位障壁(potential barrier)として機能する。

【0049】第1ゲート絶縁層22、32の窒化シリコン層は、キャリア（例えば電子）をトラップする電荷蓄積領域として機能する。

【0050】第1ゲート絶縁層22、32の第2酸化シリコン層は、コントロールゲートと電荷蓄積領域との間に電位障壁(potential barrier)を形成する。

【0051】第1サイド絶縁層24、34は、ワードゲート14と、第1、第2コントロールゲート20、30とをそれぞれ電氣的に分離させる。また、第1サイド絶縁層24、34の上端は、ワードゲート14と第1、第2コントロールゲート20、30とのショートを防ぐために、第1、第2コントロールゲート20、30の上端に比べ、半導体基板10に対して上方に位置している。

【0052】本実施の形態では、第1サイド絶縁層24、34と第1ゲート絶縁層22、32とは、同一の成膜工程で形成され、それぞれの層構造は等しくなる。さらに、第1サイド絶縁層24、34は、その上端が半導体基板10に対して第1、第2コントロールゲート2

(7)

11

0, 30より上方に位置するように形成されている。そして、隣り合うメモリセル100において、隣り合う第1コントロールゲート20と第2コントロールゲート30との間には、埋め込み絶縁層70が形成される。本実施の形態においては、第1, 第2コントロールゲート20, 30は埋め込み絶縁層70によって埋め込まれている。この埋め込み絶縁層70は、少なくとも第1, 第2コントロールゲート20, 30が露出しないようにこれらを覆っている。具体的には、埋め込み絶縁層70の上面は、第1サイド絶縁層24, 34の上端より半導体基板10に対して上方に位置している。埋め込み絶縁層70をこのように形成することで、第1, 第2コントロールゲート20, 30と、ワードゲート14およびワード線50との電氣的分離をより確実に行うことができる。

【0053】共通コンタクト部200には、第1, 第2コントロールゲート20, 30に所定の電位を供給するための導電層が形成される。共通コンタクト部200は、主に、コンタクト導電層232、ストップ絶縁層86、およびキャップ絶縁層90を含む。

【0054】コンタクト導電層232は、ストップ絶縁層86および導電層214の内側に第2サイド絶縁層224を介して配置されている。コンタクト導電層232は、第1, 第2コントロールゲート20, 30の形成と同一の成膜工程によって、第1, 第2コントロールゲート20, 30と連続するように形成されている。したがって、コンタクト導電層232と、第1, 第2コントロールゲート20, 30とは、同一の材質で形成されている。

【0055】また、このコンタクト導電層232は、半導体基板10の上方に、コンタクト絶縁層210を介して配置されている。さらに、このコンタクト導電層232によって凹部74が構成され、この凹部74には、後述するプラグ導電層82が埋め込まれている。

【0056】また、キャップ絶縁層90、ワード線50、およびこれらが形成されていない埋め込み絶縁層70上には、層間絶縁層72が形成されている。そして、コンタクト導電層232によって形成される凹部74上には、キャップ絶縁層90および層間絶縁層72を貫通するコンタクトホール84が形成されている。すなわち、このコンタクトホール84は、キャップ絶縁層90および層間絶縁層72を貫通して、コンタクト導電層232へと到達している。このコンタクトホール84内に、タングステンプラグまたは銅プラグからなるプラグ導電層82が埋め込まれている。

【0057】ストップ絶縁層86は、図3に示すように、コンタクト導電層232の外側に配置されている。また、ストップ絶縁層86は、後述する導電層214上に形成されている。ストップ絶縁層86は、例えば窒化シリコンを主成分とする材料からなる。本実施の形態においては、コンタクト導電層232の上面と、ストップ

12

絶縁層86の上面とが、ほぼ平面を構成するように形成することができる。

【0058】キャップ絶縁層90は、少なくともストップ絶縁層86上に形成される。キャップ絶縁層90は、例えば酸化シリコンを主成分とする材料からなる。

【0059】また、共通コンタクト部200は、さらに、導電層214、および導電層236, 238を含む。

【0060】導電層214は、ワードゲート14と同一の成膜工程で形成される。この場合、導電層214は、ワードゲート14と同一の材質から形成される。本実施の形態においては、導電層214は、半導体基板10の上方に、絶縁層212を介して配置されている。

【0061】共通コンタクト部200を構成する絶縁層212は、メモリセル100を構成する第2ゲート絶縁層12と同一工程で形成され、かつ同一の層構造を有する。また、共通コンタクト部200を構成するコンタクト絶縁層210およびおよび第2サイド絶縁層224は、メモリセル100を構成する第1ゲート絶縁層22, 32および第1サイド絶縁層24, 34と同一工程で形成され、かつ同一の層構造を有する。すなわち、コンタクト絶縁層210およびおよび第2サイド絶縁層224は、第1ゲート絶縁層22, 32および第1サイド絶縁層24, 34と同様に、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜から構成される。

【0062】また、図3に示すように、共通コンタクト部200はさらに、サイドウォール状の導電層236, 238を含む。この導電層236は、第1コントロールゲート20と連続している。ここで、導電層236と連続する第1コントロールゲート20は、コンタクト導電層232と連続する第2コントロールゲート30と隣り合っている。また、導電層238は、第2コントロールゲート30と連続している。ここで、導電層238と連続する第2コントロールゲート30は、コンタクト導電層232と連続する第1コントロールゲート20と隣り合っている。

【0063】導電層236, 238はそれぞれ、導電層214の一側面に、第2サイド絶縁層224を介して配置される。この導電層236, 238は、第1および第2コントロールゲート20, 30やコンタクト導電層232と同一の成膜工程から形成され、これらの層と同一の材質からなる。

【0064】なお、本実施の形態の半導体装置においては、導電層236, 238がサイドウォール状である場合を示したが、導電層236, 238の形状はこれに限定されるわけではない。

【0065】本実施の形態にかかる半導体装置によれば、メモリセルアレイ1000において、サイドウォール状の第1, 第2コントロールゲート20, 30は、1

(8)

13

組ごとに、共通コンタクト部200と接続されている。この共通コンタクト部200は、コンタクト導電層232、このコンタクト導電層の外側に形成されたストップ絶縁層86、およびキャップ絶縁層90を含み、キャップ絶縁層90が、少なくともストップ絶縁層86上に形成されていることにより、これらのコントロールゲートとの電氣的接続を確実にとることができる。すなわち、本実施の形態の半導体装置のコントロールゲート20、30は、サイドウォール状の形状を有し、その幅は通常 $0.1\mu\text{m}$ より小さい。したがって、コンタクト導電層232によって、コントロールゲート20、30と共通コンタクト部200との電氣的接続を確保することができる。その結果、コントロールゲートとの電氣的コンタクトを上記の共通コンタクト部によって必要最小限の面積で確保することができる。

【0066】(半導体装置の製造方法)次に、図4～図14を参照しながら、本実施の形態に係る半導体装置の製造方法について説明する。各断面図は、図2のA-A線に沿った部分に対応する。図4～図14において、図1～図3で示す部分と実質的に同一の部分には同一の符号を付し、重複する記載は省略する。

【0067】(1)図4に示すように、まず、図1に示すメモリセルアレイ1000が形成される領域(以下、「メモリセルアレイの形成領域」という)1000aにおいて、半導体基板10の表面に、LOCOS法あるいはトレンチアイソレーション法などによって素子分離領域300を形成する。ついで、イオン注入によって、コンタクト用不純物層400(図1参照)を半導体基板10内に形成する。

【0068】ついで、半導体基板10の表面に、第1ゲート絶縁層となる第1絶縁層120を形成する。次いで、ワードゲート14と導電層214となる第1導電層140を、第1絶縁層120上に堆積する。第1導電層140はドーフトポリシリコンからなる。次いで、後のCMP工程におけるストップ層S100を第1導電層140上に形成する。ストップ層S100は、たとえば窒化シリコン層からなる。

【0069】(2)ついで、公知のリソグラフィおよびエッチングによって第1導電層140およびストップ層S100をパターニングする。この工程により、後にワードゲートとなるゲート層140aが形成される。このパターニングにおいては、メモリセルアレイの形成領域1000aにおいて、ゲート層140aおよびストップ層S100の積層体が、半導体基板10上に全面的に形成される。パターニング後の様子を平面的に示したのが図6である。このパターニングによって、メモリ領域1000内のゲート層140aおよびストップ層S100の積層体は、開口部160、180が設けられる。開口部160、180は、後のイオン注入によって不純物層16、18が形成される領域にほぼ対応している。そ

14

して、後の工程で、開口部160、180の側面に沿って第1サイド絶縁層24、34と第1、第2コントロールゲート20、30とが形成される。

【0070】(3)図7に示すように、半導体基板10上に、ONO膜220を全面的に形成する。ONO膜220は、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層を順次堆積させることで形成される。第1酸化シリコン層は、たとえば熱酸化法、CVD法を用いて成膜することができる。窒化シリコン層は、たとえばCVD法などによって成膜することができる。第2酸化シリコン層は、CVD法、具体的には高温酸化法(HTO)を用いて成膜することができる。これらの各層を成膜した後、アニール処理を行い、各層を緻密化することができるが好ましい。

【0071】ONO膜220は、後のパターニングによって、第1ゲート絶縁層22および第1サイド絶縁層24、ならびに共通コンタクト部200のコンタクト絶縁層210および第2サイド絶縁層224となる(図3参照)。

【0072】(4)図8に示すように、メモリセルアレイの形成領域1000aにおいて、ドーフトポリシリコン層(第2導電層)230を、ONO膜220上に全面的に形成する。このドーフトポリシリコン層230から、パターニングおよびエッチング工程などを経て、第1、第2コントロールゲート20、30を構成する導電層40(図1参照)、ならびに共通コンタクト部200を構成するコンタクト導電層232、導電層236、238(図3参照)が形成される。

【0073】ついで、共通コンタクト部が形成される領域(以下、「共通コンタクト部の形成領域」という)200aに、レジスト層R100を形成する。この実施の形態では、このレジスト層R100は、図8に示すように、共通コンタクト部の形成領域200aにほぼ対応した位置に設けられる。このレジスト層R100は、少なくとも、後の工程で形成するコンタクト導電層232が形成される領域上に形成される。

【0074】(5)図9に示すように、ドーフトポリシリコン層230(図8参照)を、レジスト層R100をマスクとして全面的に異方性エッチングすることにより、第1、第2コントロールゲート20、30、コンタクト導電層230a、導電層236、238が形成される。ここで、コンタクト導電層230a、導電層236、238は、共通コンタクト部の形成領域200aに形成される。

【0075】すなわち、このエッチング工程によって、露出した開口部160、180(図6参照)の側面に沿って、サイドウォール状の第1、第2コントロールゲート20、30、導電層236、238が形成される。そして、これと同時に、レジスト層R100でマスクされた部分には、コンタクト導電層230aが形成される。

(9)

15

ここで、このコンタクト導電層230aは、第1、第2コントロールゲート20、30と連続するように形成される。さらに、上記のエッチングによって、後の工程でシリサイド層が形成される領域に堆積された絶縁層は除去され、半導体基板10が露出する。ついで、レジスト層R100は除去される。

【0076】(6) 次いで、図10に示すように、N型不純物をイオン注入することにより、半導体基板10内に、ソース領域またはドレイン領域を構成する不純物層16、18を形成する。

【0077】次いで、シリサイド形成用の金属を全面的に堆積させる。シリサイド形成用の金属とは、例えば、チタン、コバルトである。その後、不純物層16、18上に形成された金属をシリサイド化反応させることにより、不純物層16、18の上面にシリサイド層92を形成させる。したがって、このシリサイド化工程によって、メモリセル100は、ソース領域またはドレイン領域の表面が自己整合的にシリサイド化される。

【0078】次いで、メモリセルアレイの形成領域1000aにおいて、酸化シリコンまたは窒化酸化シリコンなどの絶縁層(第2絶縁層)70を全面的に形成する。絶縁層70は、ストップ層S100を覆い、かつ第1、第2コントロールゲート20、30の間やコンタクト導電層230aの隙間を埋め込むように形成される。

【0079】(7) 図11に示すように、CMP法を用いて、絶縁層70をストップ層S100が露出するまで研磨し、絶縁層70を平坦化する。この研磨によって、第1、第2コントロールゲート20、30をはさんで対向する2つの第1サイド絶縁層24の間に絶縁層70が残存して、埋込み絶縁層70となる。また、この工程により、コンタクト導電層230aの上部が除去されて、共通コンタクト部の形成領域200a内にコンタクト導電層232が形成される。

【0080】このとき、ゲート層140aおよびストップ層S100の側面に形成された第1サイド絶縁層24、34の上端は、第1、第2コントロールゲート20、30の上端に比べ、半導体基板10に対して上方に位置する。

【0081】この工程によって、第1、第2コントロールゲート20、30は埋め込み絶縁層70によって完全に覆われる。また、共通コンタクト部の形成領域200aにおいて、コンタクト導電層232の上面が露出した状態となる。さらに、コンタクト導電層232から構成される凹部74は、埋め込み絶縁層70で埋め込まれた状態となる。

【0082】(8) 次いで、図12に示すように、メモリセルアレイの形成領域1000aにおいて、キャップ絶縁層90を形成するための第3絶縁層90aを全面に形成する。続いて、第3絶縁層90a上に、パターニングされたレジスト層R200を形成する。このレジスト

16

層R200をマスクとして、第3絶縁層90aをパターニングして、図13に示すように、共通コンタクト部の形成領域200aにキャップ絶縁層90を形成する。次いで、レジスト層R200が除去される。

【0083】次いで、メモリセルアレイの形成領域1000aにおいて、第3導電層(図示せず)を全面に形成する。第3導電層(図示せず)を全面に形成した後、第3導電層上に、パターニングされたレジスト層R300を形成する。このレジスト層R300をマスクとして、前記第3導電層をパターニングして、ワード線50を形成する。前記第3導電層としては、ドーフトポリシリコン層、金属層、シリサイドなどの合金層、あるいはこれらのうちの2層以上を積層した層を用いることができる。さらに、レジスト層R300をマスクとして、ドーフトポリシリコンからなるゲート層140a(図12参照)をパターニングすることにより、アレイ状に配列したワードゲート14を形成とともに、ストップ絶縁層86が上部に形成された導電層214を形成する。次いで、レジスト層R300が除去される。

【0084】なお、このエッチング工程では、第1および第2コントロールゲート20、30や、導電層236、238は、絶縁層70で覆われているため、エッチングされずに残る。

【0085】次いで、P型不純物を半導体基板10に全面的にドーブする。これにより、Y方向におけるワードゲート14の相互間の領域にP型不純物層(素子分離用不純物層)15(図2参照)が形成される。この素子分離用不純物層15は、不揮発性記憶装置の導電型と逆の導電型からなる。このP型不純物層15によって、メモリセル100相互の素子分離がより確実に行われる。

【0086】(9) 次いで、層間絶縁層を積層した後、公知の方法でコンタクトホールを形成し、コンタクトホール内に導電層を形成した後、該導電層と電気的に接続される配線層を形成する。たとえば、図3に示すように、コンタクト導電層232上に、キャップ絶縁層90および層間絶縁層72を貫通するコンタクトホール84を形成し、このコンタクトホール84にプラグ導電層82を埋め込んだ後、プラグ導電層82と接続される配線層80を形成する。なお、コンタクトホール84を形成する工程において、コンタクト導電層232から構成される凹部74に埋め込まれている絶縁層70を除去した後、プラグ導電層82を凹部74に埋め込む。

【0087】以上の工程により、図1、図2および図3に示す半導体装置を製造することができる。

【0088】本実施の形態の半導体装置の製造方法によれば、特に工程数を増加させることなく、サイドウォール状の第1、第2コントロールゲート20、30とともに共通コンタクト部200を形成できる。そして、共通コンタクト部200は、少なくとも不純物層16、18の幅に近いサイズを有することができ、十分に大きなコ

(10)

17

ンタクト面積を確保できる。したがって、本実施の形態では、充分なコンタクト領域をとりにくいサイドウォール状のコントロールゲート20、30であっても、共通コンタクト部200を介して確実な電氣的接続をとることができる。

【0089】また、本実施の形態の半導体装置の製造方法によれば、コンタクト導電層232上にプラグ導電層82が形成される。ここで、コンタクト導電層232の外側にストップ絶縁層86が設置されていることにより、このプラグ導電層82を形成する際におけるアライメント余裕を確保することができる。

【0090】以上、本発明の一実施の形態について述べたが、本発明はこれに限定されず、本発明の発明の要旨の範囲内で種々の態様をとりうる。たとえば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、SOI基板の半導体層を用いてもよい。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかる半導体装置のレイアウトを模式的に示す平面図である。

【図2】本発明の実施の形態にかかる半導体装置の要部を模式的に示す平面図である。

【図3】図2のA-A線に沿った部分を模式的に示す断面図である。

【図4】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図5】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図6】図5に示す半導体装置の製造方法の一工程を示す平面図である。

【図7】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図8】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図9】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図10】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図11】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図12】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図13】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図14】図1から図3に示す半導体装置の製造方法の一工程を示す断面図である。

【図15】公知のMONOS型メモリセルを示す断面図である。

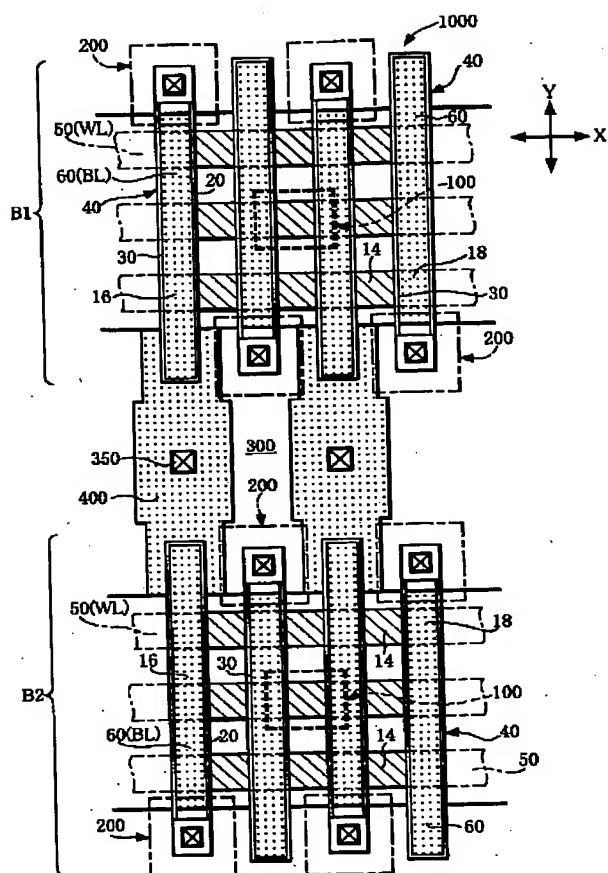
【符号の説明】

18

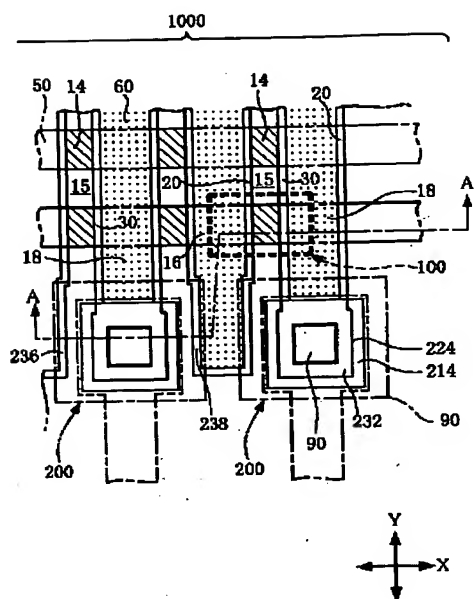
10 半導体基板
12 第2ゲート絶縁層
14 ワードゲート
15 素子分離用不純物層
16, 18 不純物層
20 第1コントロールゲート
22, 32 第1ゲート絶縁層
24, 34 第1サイド絶縁層
30 第2コントロールゲート
40 導電層
50 ワード線
60 ビット線
70 埋め込み絶縁層 (第2絶縁層)
72 層間絶縁層
74 凹部
80 配線層
82 プラグ導電層
84 コンタクトホール
86 ストップ絶縁層
90 キャップ絶縁層
90a 第3絶縁層
92 シリサイド層
100 不揮発性記憶装置 (メモリセル)
120 第2ゲート絶縁層 (第1絶縁層)
122 ゲート絶縁層
140 第1導電層
140a ゲート層
160, 180 開口部
200 共通コンタクト部
200a 共通コンタクト部の形成領域
210 コンタクト絶縁層
212 絶縁層
214 導電層
220 ONO膜 (誘電体層)
224 第2サイド絶縁層
230 ドープドポリシリコン層 (第2導電層)
230a コンタクト導電層
232 コンタクト導電層
236 導電層
238 導電層
300 素子分離領域
350 コンタクト
400 コンタクト用不純物層
S100 ストップ層
R100, R200, R300 レジスト層
1000 メモリセルアレイ
1000a メモリセルアレイの形成領域

(11)

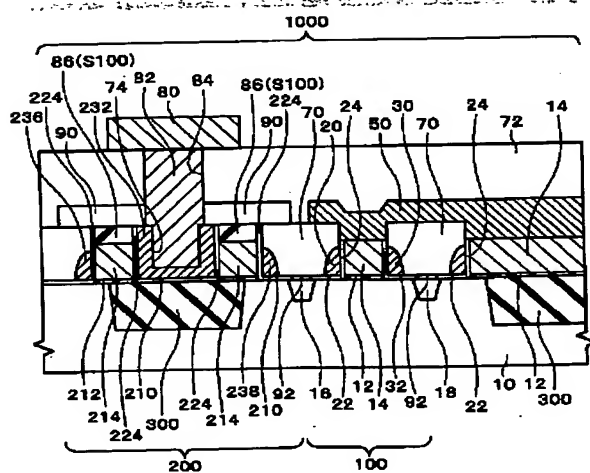
【図1】



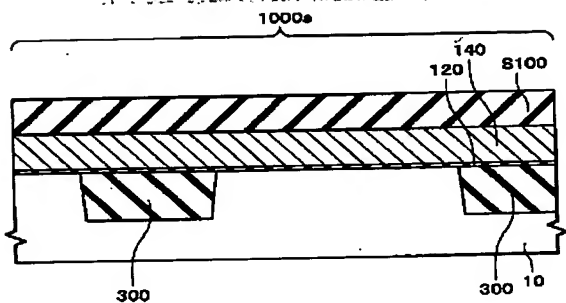
【図2】



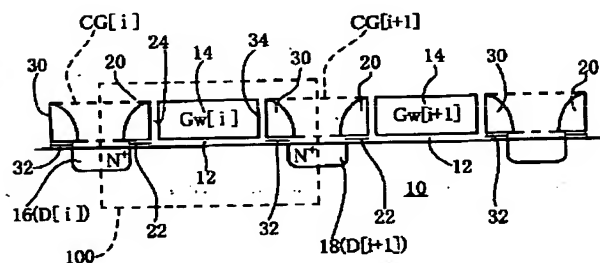
【図3】



【図4】

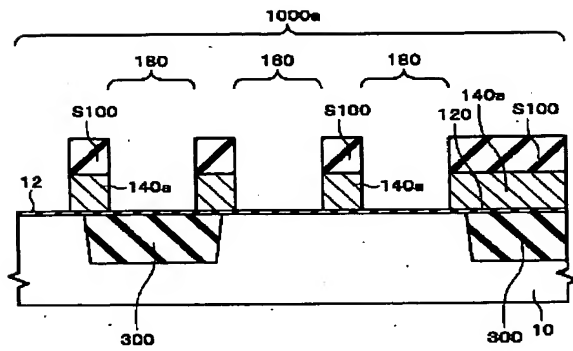


【図15】

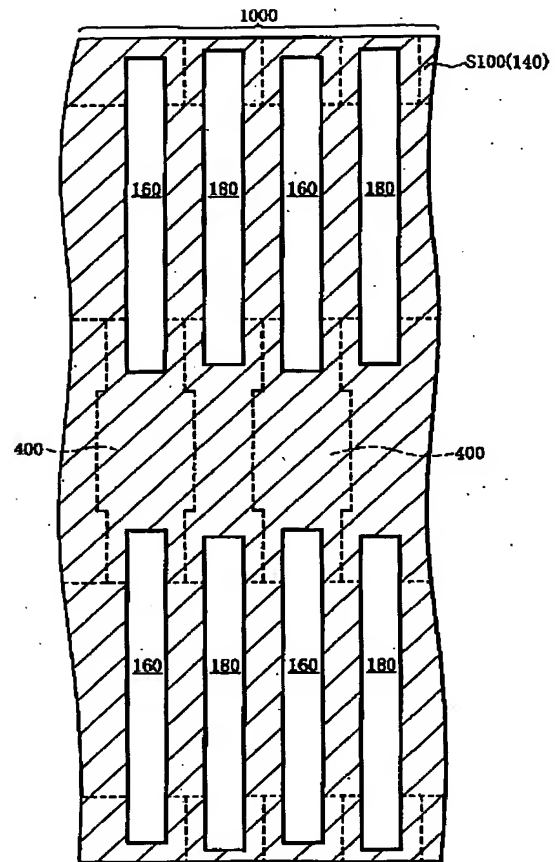


(12)

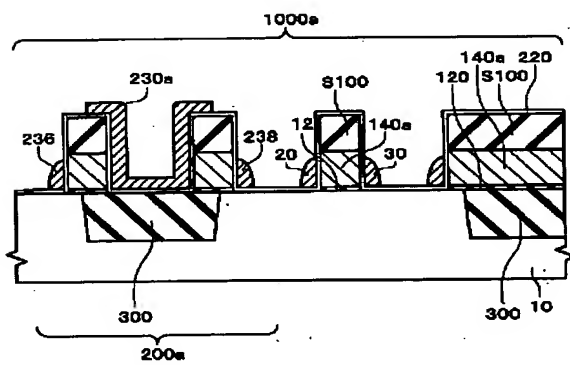
【図5】



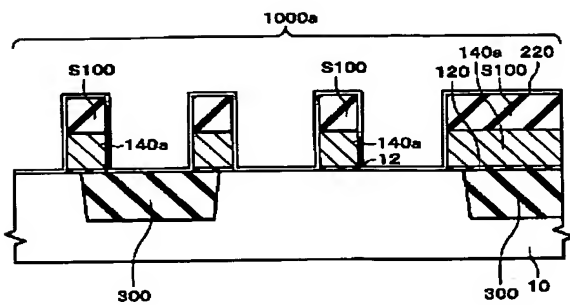
【図6】



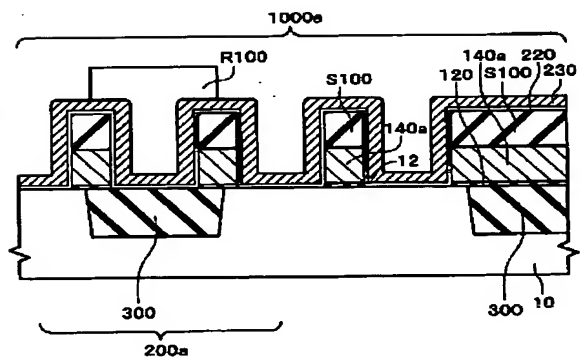
【図9】



【図7】



【図8】



(14)

【手続補正書】

【提出日】平成14年9月6日(2002.9.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、前記不揮発性記憶装置は、半導体層の上方に、第2ゲート絶縁層を介して形成されたワードゲートと、前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、前記第1コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第2コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う前記第1および第2コントロールゲートは、共通コンタクト部に接続され、前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、前記コンタクト導電層は、前記第1および第2コントロールゲートと連続し、前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、前記キャップ絶縁層は、少なくとも前記ストップ絶縁層の上方に形成されている、半導体装置。

【請求項2】 請求項1において、前記コンタクト導電層は、前記キャップ絶縁層の内側に、第2サイド絶縁層を介して配置されている、半導体装置。

【請求項3】 請求項1または2において、前記コンタクト導電層は、前記第1および第2コントロールゲートと同一の材質からなる、半導体装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記コンタクト導電層の上面と、前記ストップ絶縁層の上面とがほぼ平面を構成する、半導体装置。

【請求項5】 請求項1ないし4のいずれかにおいて、前記ストップ絶縁層は、窒化シリコンを主成分とする材料からなり、

前記キャップ絶縁層は、酸化シリコンを主成分とする材料からなる、半導体装置。

【請求項6】 請求項1ないし5のいずれかにおいて、前記キャップ絶縁層の上方にはさらに、層間絶縁層が積層され、

前記コンタクト導電層は凹部を構成し、該凹部上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールが形成され、

前記コンタクトホールには、プラグ導電層が埋め込まれている、半導体装置。

【請求項7】 請求項1ないし6のいずれかにおいて、前記コンタクト導電層は、前記半導体層の上方に、コンタクト絶縁層を介して配置され、

前記コンタクト絶縁層は、前記第1ゲート絶縁層と同一の材質からなる、半導体装置。

【請求項8】 請求項2ないし7のいずれかにおいて、前記第2サイド絶縁層は、前記第1サイド絶縁層と同一の材質からなる、半導体装置。

【請求項9】 請求項1ないし8のいずれかにおいて、前記第1サイド絶縁層は、その上端が前記第1および第2コントロールゲートより上方に位置する、半導体装置。

【請求項10】 請求項1ないし9のいずれかにおいて、隣り合う前記第1および第2コントロールゲートは、絶縁層によって埋め込まれている、半導体装置。

【請求項11】 請求項1ないし10のいずれかにおいて、前記共通コンタクト部は、前記不純物層の端部に隣接して設けられた、半導体装置。

【請求項12】 請求項11において、前記共通コンタクト部が複数形成され、
前記不純物層が複数配列され、
前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けられた、半導体装置。

【請求項13】 請求項1ないし12のいずれかにおいて、前記第1ゲート絶縁層および前記第1サイド絶縁層は、第1酸化シリコン層、窒化シリコン層、および第2酸化シリコン層の積層膜からなる、半導体装置。

【請求項14】 不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを含む半導体装置の製造方法であって、以下の工程を含む、半導体装置の製造方法。半導体層の上方に、第2ゲート絶縁層のための第1絶縁層を形成する工程、前記第1絶縁層の上方に、第1導電層を形成する工程、前記第1導電層の上方に、ストップ層を形成する工程、前記第1導電層および前記ストップ層をパターニングし

(15)

て、ゲート層を形成する工程、

少なくとも前記半導体層の上方に、第1ゲート絶縁層を形成する工程、

前記ゲート層の両側面に第1サイド絶縁層を形成する工程、

前記メモリセルアレイの形成領域に第2導電層を形成する工程、

共通コンタクト部の形成領域に対応する前記第2導電層上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、

前記メモリセルアレイの形成領域に第2絶縁層を形成した後、前記ストッパ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、

ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、

前記メモリセルアレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパターンングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および前記メモリセルアレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストッパ層をパターンングして、ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストッパ絶縁層を形成する工程。

【請求項15】 請求項14において、

前記ゲート層をパターンングする工程は、前記ストッパ絶縁層を前記第1導電層の上方に形成する工程を含む、半導体装置の製造方法。

【請求項16】 請求項14または15において、

さらに、前記メモリセルアレイの形成領域に層間絶縁層を形成した後、前記コンタクト導電層上に、前記キャップ絶縁層および前記層間絶縁層を貫通するコンタクトホールを形成する工程、および前記コンタクトホールにプラグ導電層を埋め込む工程を含む、半導体装置の製造方法。

【請求項17】 請求項14ないし16のいずれかにおいて、

窒化シリコンを主成分とする材料から前記ストッパ層を形成し、

酸化シリコンを主成分とする材料から前記第3絶縁層を形成する、半導体装置の製造方法。

【請求項18】 請求項14ないし17のいずれかにおいて、

前記第1ゲート絶縁層および前記第1サイド絶縁層は、同一の成膜工程で形成され、かつ、第1酸化シリコン

層、窒化シリコン層および第2酸化シリコン層の積層膜からなる、半導体装置の製造方法。

【請求項19】 請求項14ないし18のいずれかにおいて、

前記コンタクト導電層は前記第1および第2コントロールゲートと同一の成膜工程で形成される、半導体装置の製造方法。

【請求項20】 請求項14ないし19のいずれかにおいて、

前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方にコンタクト絶縁層を形成する工程と、前記コンタクト導電層の側面に第2サイド絶縁層を形成する工程とを含み、

前記コンタクト絶縁層の形成は、前記第1ゲート絶縁層を形成する工程と同一工程にて行なわれ、

前記第2サイド絶縁層の形成は、前記第1サイド絶縁層を形成する工程と同一工程にて行なわれる、半導体装置の製造方法。

【請求項21】 請求項14ないし20のいずれかにおいて、

前記第1サイド絶縁層を、その上端が前記コントロールゲートより上方に位置するように形成する、半導体装置の製造方法。

【請求項22】 請求項14ないし21のいずれかにおいて、

前記第2絶縁層を化学的機械的研磨法によって研磨する工程において、前記不純物層を介して隣り合う1組の前記コントロールゲートは埋込み絶縁層によって覆われるように形成される、半導体装置の製造方法。

【請求項23】 請求項14ないし22のいずれかにおいて、

前記共通コンタクト部は、前記不純物層の端部に隣接して形成される、半導体装置の製造方法。

【請求項24】 請求項23において、

前記共通コンタクト部を複数形成し、

前記不純物層を複数配列させ、

前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成される、半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】（半導体装置）本発明にかかる半導体装置は、不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有し、前記不揮発性記憶装置は、半導体層の上方に、第2ゲート

(16)

絶縁層を介して形成されたワードゲートと、前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、前記第1コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第2コントロールゲートは、前記半導体層に対して第1ゲート絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う前記第1および第2コントロールゲートは、共通コンタクト部に接続され、前記共通コンタクト部は、コンタクト導電層、ストップ絶縁層、およびキャップ絶縁層を含み、前記コンタクト導電層は、前記第1および第2コントロールゲートと連続し、前記ストップ絶縁層は、前記コンタクト導電層の外側に配置され、前記キャップ絶縁層は、少なくとも前記ストップ絶縁層の上方に形成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】本発明にかかる半導体装置によれば、サイドウォール状の前記第1および第2コントロールゲートは、1組ごとに、共通コンタクト部に接続されているので、幅の小さいコントロールゲートとの電気的接続を確実にとることができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】(F) 前記ワードゲートと前記コントロールゲートとの間に位置する前記第1サイド絶縁層の上端を、前記第1および第2コントロールゲートより上方に位置させることができる。この構成により、前記第1および第2コントロールゲートを覆う埋込み絶縁層を確実に形成できる。すなわち、隣り合う前記第1および第2コントロールゲートは、埋込み絶縁層によって覆われ、該埋込み絶縁層は、前記第1および第2コントロールゲートに接して配置された、対向する2つの前記サイド絶縁層の相互間に形成される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】(H) 前記共通コンタクト部は、前記不純物層の端部に隣接して設けることができる。そして、前記共通コンタクト部が複数形成され、前記不純物層が複数配列され、前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けることができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】半導体層の上方に、第2ゲート絶縁層のための第1絶縁層を形成する工程、前記第1絶縁層の上方に、第1導電層を形成する工程、前記第1導電層の上方に、ストップ層を形成する工程、前記第1導電層および前記ストップ層をパターンニングして、ゲート層を形成する工程、少なくとも前記半導体層の上方に、第1ゲート絶縁層を形成する工程、前記ゲート層の両側面に第1サイド絶縁層を形成する工程、前記メモリアルレイの形成領域に第2導電層を形成する工程、共通コンタクト部の形成領域に対応する前記第2導電層上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、前記メモリアルレイの形成領域に第2絶縁層を形成した後、前記ストップ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内にコンタクト導電層を形成する工程、ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、前記メモリアルレイの形成領域に、キャップ絶縁層のための第3絶縁層を形成した後、共通コンタクト部の形成領域に対応する前記第3絶縁層上にマスクを形成して、前記第3絶縁層をパターンニングすることにより、前記共通コンタクト部の形成領域に前記キャップ絶縁層を形成する工程、および前記メモリアルレイの形成領域に第3導電層を形成した後、前記ゲート層、前記第3導電層、および前記ストップ層をパターンニングして、ワードゲートおよび該ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクトの形成領域内にストップ絶縁層を形成する工程。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】この場合、前記コンタクト導電層は前記第1および第2コントロールゲートと同一の成膜工程で形

(17)

成されることができる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】(e) 前記第1サイド絶縁層の上端を、前記第1および第2コントロールゲートより上方に位置するように形成することができる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】(f) 前記第2絶縁層を化学的機械的研磨法(以下、「CMP法」という)によって研磨する工程において、前記不純物層を介して隣り合う前記第1および第2コントロールゲートを、埋込み絶縁層によって覆われるように形成することができる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】(g) 前記共通コンタクト部を複数形成し、前記不純物層を複数配列させ、前記複数の共通コンタクト部を、前記不純物層の端部に隣接して形成することができる。また、前記共通コンタクト部を、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成することができる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】第1コントロールゲート20は、半導体基板10の上方に第2ゲート絶縁層12を介して配置され、かつ、ワードゲート14の一方の側面に対して第1サイド絶縁層24を介して配置されている。同様に、第2コントロールゲート30は、半導体基板10に対して第1ゲート絶縁層32を介して配置され、かつ、ワードゲート14の他方の側面に対して第1サイド絶縁層34を介して配置されている。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】第1サイド絶縁層24、34は、ワードゲ

ート14と、第1、第2コントロールゲート20、30とをそれぞれ電氣的に分離させる。また、第1サイド絶縁層24、34の上端は、ワードゲート14と第1、第2コントロールゲート20、30とのショートを防ぐために、第1、第2コントロールゲート20、30の上端に比べ、上方に位置している。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】本実施の形態では、第1サイド絶縁層24、34と第1ゲート絶縁層22、32とは、同一の成膜工程で形成され、それぞれの層構造は等しくなる。さらに、第1サイド絶縁層24、34は、その上端が第1、第2コントロールゲート20、30より上方に位置するように形成されている。そして、隣り合うメモリセル100において、隣り合う第1コントロールゲート20と第2コントロールゲート30との間には、埋め込み絶縁層70が形成される。本実施の形態においては、第1、第2コントロールゲート20、30は埋め込み絶縁層70によって埋め込まれている。この埋め込み絶縁層70は、少なくとも第1、第2コントロールゲート20、30が露出しないようにこれらを覆っている。具体的には、埋め込み絶縁層70の上面は、第1サイド絶縁層24、34の上端より半導体基板10に対して上方に位置している。埋め込み絶縁層70をこのように形成することで、第1、第2コントロールゲート20、30と、ワードゲート14およびワード線50との電氣的分離をより確実に行うことができる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正内容】

【0069】(2) について、公知のリソグラフィおよびエッチングによって第1導電層140およびストッパ層S100をパターンニングする。この工程により、後にワードゲート14となるゲート層140aが形成される。このパターンニングにおいては、メモリセルアレイの形成領域1000aにおいて、ゲート層140aおよびストッパ層S100の積層体は、半導体基板10上に全面的に形成される。パターンニング後の様子を平面的に示したのが図6である。このパターンニングによって、メモリセルアレイの形成領域1000a内のゲート層140aおよびストッパ層S100の積層体には、開口部160、180が設けられる。開口部160、180は、後のイオン注入によって不純物層16、18が形成される領域にほぼ対応している。そして、後の工程で、開口部160、180の側面に沿って第1サイド絶縁層24、

(18)

34と第1, 第2コントロールゲート20, 30とが形成される。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】ついで、共通コンタクト部200が形成される領域（以下、「共通コンタクト部の形成領域」という）200aに、レジスト層R100を形成する。この実施の形態では、このレジスト層R100は、図8に示すように、共通コンタクト部の形成領域200aにほぼ

対応した位置に設けられる。このレジスト層R100は、少なくとも、後の工程で形成するコンタクト導電層232が形成される領域上に形成される。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正内容】

【0080】このとき、ゲート層140aおよびストップ層S100の側面に形成された第1サイド絶縁層24, 34の上端は、第1, 第2コントロールゲート20, 30の上端に比べ、上方に位置する。

フロントページの続き

Fターム(参考) 5F083 EP18 EP35 HA02 JA37 JA39
KA18 LA12 LA16 LA21 NA01
NA08 PR40 ZA21
5F101 BA45 BB04 BD22